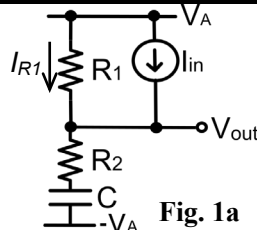


1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, data, “1^a prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

ESERCIZIO 0 - DA RISOLVERE OBBLIGATORIAMENTE IN MANIERA ESATTA
(pena la non correzione dei restanti esercizi)

Si consideri il circuito riportato nella Fig. 1a. Determinare la costante di tempo del circuito ed il valore medio della corrente che attraversa R_1 , quando in ingresso e' applicato il segnale (periodico) mostrato in Fig. 1b, se $T = 4 \mu s$.



$R_1 = 1 \text{ k}\Omega$
 $R_2 = 5 \text{ k}\Omega$
 $C = 22 \text{ pF}$
 $V_A = +6 \text{ V}$

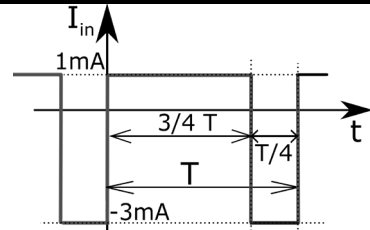


Fig. 1b

Esercizio 1

Si consideri nuovamente il circuito riportato nella Fig. 1a.

- a) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della corrente che attraversa R_1 , quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T = 4 \mu s$. Si giustifichi la risposta.
- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione $V_{out}(t)$ quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T = 880 \text{ ns}$. Si assuma il circuito a regime e si giustifichi la risposta.

Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui v_{in} e' un generatore di tensione di piccolo segnale ed I_0 un generatore di corrente DC.

- a) Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).
- b) Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} a bassa frequenza (capacita' circuito aperto), assumendo che i transistori siano caratterizzati da una resistenza di uscita $r_0 = 100 \text{ k}\Omega$.
- c) Determinare le singularita' introdotte dalla capacita' nel trasferimento di piccolo segnale v_{out}/v_{in} , assumendo $r_0 = 100 \text{ k}\Omega$ per tutti i transistori.
- d) Determinare l'espressione ed il valore della tensione di uscita v_{out} , assumendo che i transistori siano caratterizzati da una resistenza di uscita $r_0 = 100 \text{ k}\Omega$, se alla corrente I_0 e' sovrapposto un disturbo di ampiezza $10 \mu A$ e frequenza 50 Hz .

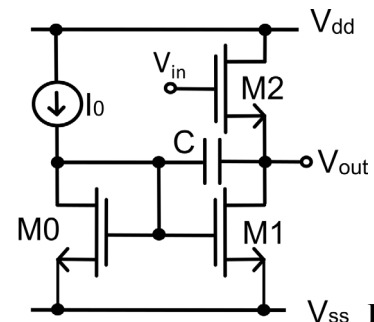


Fig. 2

$\frac{1}{2} \mu_n C_{ox} = 80 \mu A/V^2$ $V_{Tn} = 0.6 \text{ V}$
 $(W/L)_0 = 1$ $(W/L)_1 = (W/L)_2 = 3$
 $V_{dd} = 2 \text{ V}$ $V_{ss} = -5 \text{ V}$
 $I_0 = 320 \mu A$ $C = 4.7 \text{ pF}$

Esercizio 3

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 3, di cui e' disegnata la rete di pull-up.

- a) Disegnare la porta logica complessa in tecnologia CMOS, esplicitando la rete di pull-up e la rete di pull down, che svolga tale funzione logica in forma minima. Si giustifichino le scelte effettuate.
- b) Determinare il rapporto tra il tempo di commutazione relativo alla transizione di A da 1 a 0 con $B = 1$, della porta in forma minima e quello della porta originale, disegnata in Fig. 3.

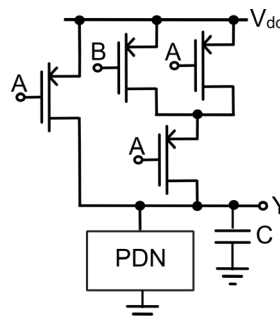
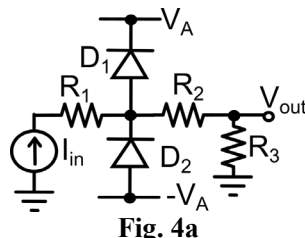


Fig. 3

$V_{dd} = 1.7 \text{ V}$
 $\frac{1}{2} \mu_n C_{ox} (W/L)_n = 200 \mu A/V^2$
 $\frac{1}{2} \mu_p C_{ox} (W/L)_p = 100 \mu A/V^2$
 $|V_{Tp}| = V_{Tn} = 0.6 \text{ V}$
 $C = 580 \text{ fF}$

Esercizio 4

Si consideri il circuito riportato in Fig. 4a. I diodi conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a 0.7 V . I_{in} e' un segnale di corrente con l'andamento mostrato in Fig. 4b. Tracciare in un diagramma, quotandone tutti i punti significativi, l'andamento della tensione di uscita. Si giustifichi la risposta.



$R_1 = 1 \text{ k}\Omega$
 $R_2 = 2 \text{ k}\Omega$
 $R_3 = 7 \text{ k}\Omega$
 $V_A = +2 \text{ V}$

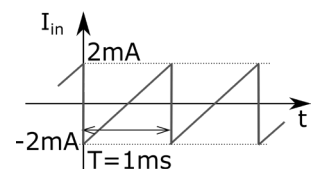


Fig. 4b

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2023/24

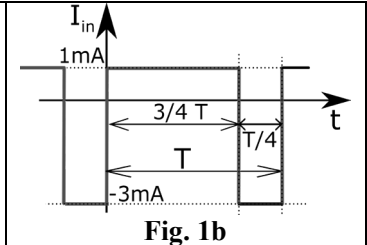
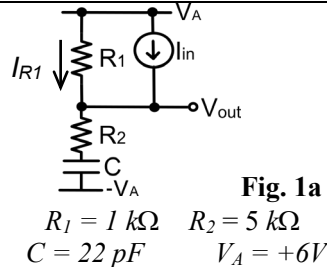
Appello Straordinario – 15 aprile 2024

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, data, “Appello Straordinario”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1a.

- a) **Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della corrente che attraversa R_1 , quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T = 4 \mu s$. Si giustifichi la risposta.**
- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione $V_{out}(t)$ quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T = 880 ns$. Si assuma il circuito a regime e si giustifichi la risposta.



c)

Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui v_{in} e' un generatore di tensione di piccolo segnale ed I_0 un generatore di corrente DC.

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} a bassa frequenza (capacita' circuito aperto), assumendo che i transistori siano caratterizzati da una resistenza di uscita $r_0 = 100 \text{ k}\Omega$.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/v_{in} , assumendo $r_0 = 100 \text{ k}\Omega$ per tutti i transistori.
- d) Determinare l'espressione ed il valore della tensione di uscita v_{out} , assumendo che i transistori siano caratterizzati da una resistenza di uscita $r_0 = 100 \text{ k}\Omega$, se alla corrente I_0 e' sovrapposto un disturbo di ampiezza $10 \mu A$ e frequenza 50 Hz .

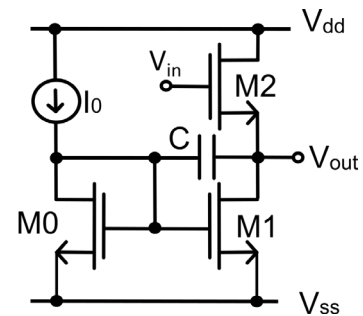


Fig. 2
 $\frac{1}{2} \mu_n C_{ox} = 80 \mu A/V^2$ $V_{Tn} = 0.6 V$
 $(W/L)_0 = 1$ $(W/L)_1 = (W/L)_2 = 3$
 $V_{dd} = 2 V$ $V_{ss} = -5 V$
 $I_0 = 320 \mu A$ $C = 4.7 \text{ pF}$

Esercizio 3

Si consideri la catena di acquisizione riportata nella Fig. 3. L'amplificatore operazionale saturi alle tensioni di alimentazione, V_{in} sia un generatore di tensione di segnale sinusoidale con ampiezza massima 100 mV . I diodi D_1 e D_2 sono diodi di protezione per l'ADC. Il convertitore analogico digitale sia del tipo a gradinata con un numero n di bits.

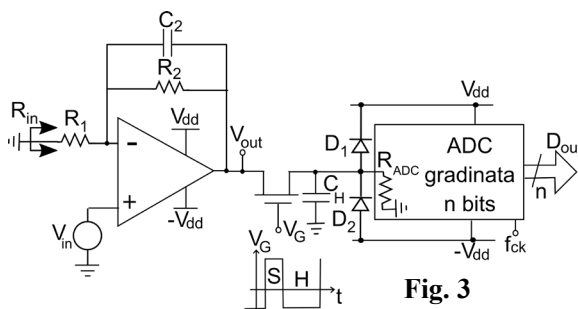


Fig. 3
 $V_{dd} = 5 V$
 $R_1 = 250 \Omega$
 $R_2 = 10 \text{ k}\Omega$
 $C_2 = 22 \text{ pF}$
 $f_{ck} = 1 \text{ MHz}$
 $C_H = 0.5 \text{ nF}$
 $k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 4 \text{ mA/V}^2$
 $V_{Tn} = 1 V$
 $n = 13 \text{ bits}$

- a) **Determinare l'espressione ed il valore del trasferimento ideale V_{out}/V_{in} a bassa frequenza ed il minimo valore del guadagno ad anello aperto A_0 che l'amplificatore operazionale deve possedere perche' il guadagno reale sia pari ad almeno il 99.99% del guadagno ideale. Si determini, quindi, la risoluzione in ingresso ottenibile, assumendo l'amplificatore operazionale ideale.**
- b) **Determinare le tensioni di comando limite per il transistore nMOS del circuito di Sample&Hold, rispettivamente nella fase di Sample e di Hold, assumendo l'amplificatore operazionale ideale.**
- c) Nelle ipotesi che i diodi D_1 e D_2 siano caratterizzati da una corrente inversa (di leakage) pari a 200 nA , indipendente dalla tensione inversa ai loro capi, determinare il minimo valore che deve assumere la resistenza di ingresso dell'ADC per garantire la corretta conversione.
- d) Determinare il margine di fase dello stadio amplificatore, se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno-larghezza di banda pari a 15 MHz (A_0 e f_0 non sono noti separatamente).
- e) Determinare l'espressione ed il valore della resistenza R_{in} , se l'amplificatore operazionale e' caratterizzato da una resistenza di ingresso differenziale pari a $2.5 \text{ M}\Omega$ e da un guadagno ad anello aperto $A_0 = 85 \text{ dB}$.

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2023/24

Seconda prova in itinere – 18 giugno 2024

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “seconda prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1a. L'amplificatore operazionale satura alle tensioni di alimentazione. V_{in} sia un generatore di tensione di segnale.

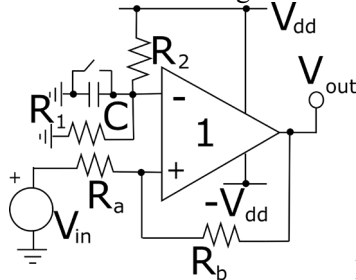
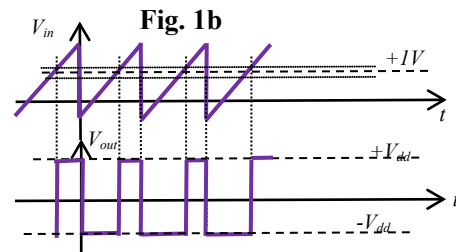


Fig. 1a

$$\begin{aligned}
 R_2 &= 90 \text{ k}\Omega \\
 R_a &= 1 \text{ k}\Omega \\
 R_b &= 60 \text{ k}\Omega \\
 C &= 22 \text{ nF} \\
 V_{dd} &= 6 \text{ V}
 \end{aligned}$$



- a) **Determinare il valor medio delle soglie di commutazione del trigger di Schmitt e l'ampiezza del suo ciclo di isteresi, assumendo l'interruttore chiuso (equivalente a un cortocircuito).**
- b) **Sempre assumendo l'interruttore chiuso, determinare la massima variazione delle soglie di commutazione per effetto di una tensione di offset dell'amplificatore operazionale pari a $V_{os} = \pm 0.6 \text{ mV}$ e di correnti di bias entranti nell'amplificatore operazionale con valor medio pari a $I_B = 250 \text{ nA}$.**
- c) Si supponga ora l'interruttore un circuito aperto, determinare il valore di R_1 necessario perché i grafici di Fig. 1b corrispondano alla risposta del circuito di Fig. 1a. Quale sarebbe il valore rms massimo ammissibile per il rumore sovrapposto al segnale? *Si facciano le opportune assunzioni.*

Esercizio 2

Si consideri la catena di acquisizione mostrata in Fig. 2. L'ADC sia del tipo a gradinata con $n = 12 \text{ bits}$. V_{in} sia un generatore di segnale sinusoidale di ampiezza compresa nell'intervallo $50 \text{ mV} - 250 \text{ mV}$. L'amplificatore operazionale satura a $(-V_{dd} + 1 \text{ V})$ e a $(+V_{dd} - 1 \text{ V})$

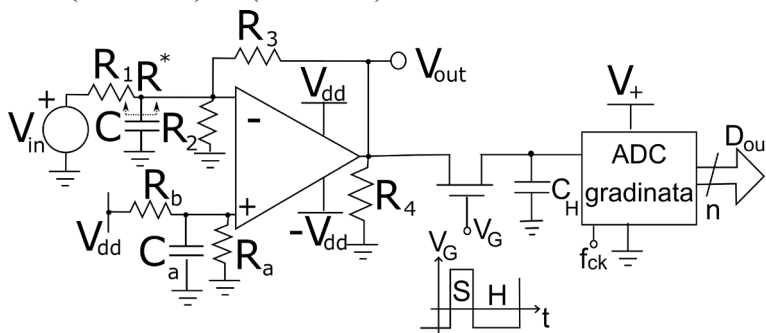


Fig. 2

$R_1 = 2 \text{ k}\Omega$	$V_{Tn} = 1.5 \text{ V}$
$R_2 = 100 \text{ k}\Omega$	$k_n = 8 \text{ mA/V}^2$
$R_3 = 32 \text{ k}\Omega$	$V_{dd} = 16 \text{ V}$
$R_4 = 2 \text{ k}\Omega$	$V_+ = 10 \text{ V}$
$C = 1 \text{ pF}$	$f_{ck} = 5 \text{ MHz}$
$R_b = 250 \text{ k}\Omega$	$n = 12 \text{ bits}$
$C_a = 100 \text{ nF}$	$C_{HOLD} = 6 \text{ nF}$

- a) **Determinare il valore minimo ed il valore massimo della resistenza R_a possibili per sfruttare correttamente la dinamica dell'ADC.**
- b) **Assumendo R_a pari a 0Ω , disegnare in due diagrammi temporali, quotandone tutti i punti significativi, il segnale in ingresso, V_{in} , ed il segnale in uscita, V_{out} , nel caso delle due ampiezze estreme.**
- c) **Determinare le tensioni di comando del gate del nMOS che garantiscano una resistenza $R_{ds,on}$ minore di 15Ω in fase di Sample ed il transistor nMOS spento con 2.5 V di margine in fase di Hold, assumendo R_a pari a 0Ω .**
- d) Nelle ipotesi di segnali di massima dinamica per il convertitore, determinare il minimo valore della resistenza di off del transistor nMOS, compatibile con il corretto funzionamento della catena di acquisizione, nelle ipotesi di resistenza di ingresso dell'ADC infinita.
- e) Assumendo che l'amplificatore operazionale sia caratterizzato da un guadagno ad anello aperto $A_0 = 95 \text{ dB}$, determinare il polo ad anello chiuso introdotto dalla capacità C . *Suggerimento: calcolare la resistenza R^* , indicata in Fig.2.*
- f) Determinare il massimo valore ammesso per il GBWP dell'amplificatore operazionale perché il margine di fase sia almeno pari a 45° (A_0 non è noto separatamente).
- g) Determinare la minima differenza di tensione DC applicata in ingresso che causi una commutazione della parola digitale in uscita, se l'ADC fosse caratterizzato da 11.0 ENOB .

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2023/24

Appello straordinario – 18 giugno 2024

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Appello Straordinario”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1a. L'amplificatore operazionale satura alle tensioni di alimentazione. V_{in} sia un generatore di tensione di segnale.

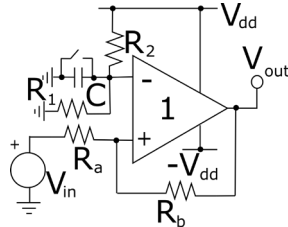


Fig. 1a

$$\begin{aligned}
 R_2 &= 90 \text{ k}\Omega \\
 R_a &= 1 \text{ k}\Omega \\
 R_b &= 60 \text{ k}\Omega \\
 C &= 22 \text{ nF} \\
 V_{dd} &= 6 \text{ V} \quad V_{Tn} = |V_{Tp}| = 1 \text{ V} \\
 \frac{1}{2} \mu_n C_{ox} &= 100 \mu\text{A}/\text{V}^2 \\
 \frac{1}{2} \mu_p C_{ox} &= 40 \mu\text{A}/\text{V}^2
 \end{aligned}$$

- a) **Determinare il valor medio delle soglie di commutazione del trigger di Schmitt e l'ampiezza del suo ciclo di isteresi, assumendo l'interruttore chiuso (equivalente a un cortocircuito).**
- b) Sempre assumendo l'interruttore chiuso, determinare la massima variazione delle soglie di commutazione per effetto di una tensione di offset dell'amplificatore operazionale pari a $V_{os} = \pm 0.6 \text{ mV}$ e di correnti di bias entranti nell'amplificatore operazionale con valor medio pari a $I_B = 250 \text{ nA}$.
- c) Assumendo di connettere un inverter CMOS, alimentato tra $-V_{dd}$ e V_{dd} , in cascata all'uscita V_{out} , determinare il minimo di fattore di forma, assunto l'inverter simmetrico, perché il fronte di commutazione 10%-90% sia inferiore a 3 ns , con un carico capacitivo da 2 pF .

Esercizio 2

Si consideri la catena di acquisizione mostrata in Fig. 2. L'ADC sia del tipo a gradinata con $n = 12 \text{ bits}$. V_{in} sia un generatore di segnale sinusoidale di ampiezza compresa nell'intervallo $50 \text{ mV} - 250 \text{ mV}$. L'amplificatore operazionale satura a $(-V_{dd} + 1 \text{ V})$ e a $(+V_{dd} - 1 \text{ V})$

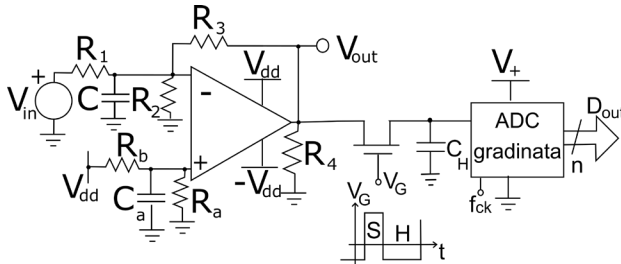


Fig. 2

$$\begin{aligned}
 R_1 &= 2 \text{ k}\Omega & V_{Tn} &= 1.5 \text{ V} \\
 R_2 &= 100 \text{ k}\Omega & k_n &= 8 \text{ mA}/\text{V}^2 \\
 R_3 &= 32 \text{ k}\Omega & V_{dd} &= 16 \text{ V} \\
 R_4 &= 2 \text{ k}\Omega & V_+ &= 10 \text{ V} \\
 C &= 1 \text{ pF} & f_{ck} &= 5 \text{ MHz} \\
 R_b &= 250 \text{ k}\Omega & n &= 12 \text{ bits} \\
 C_a &= 100 \text{ nF} & C_{HOLD} &= 6 \text{ nF}
 \end{aligned}$$

- a) **Determinare il valore minimo ed il valore massimo della resistenza R_a possibili per sfruttare correttamente la dinamica dell'ADC.**
- b) **Nelle ipotesi di segnali di massima dinamica per il convertitore, determinare il minimo valore della resistenza di off del transistore nMOS, compatibile con il corretto funzionamento della catena di acquisizione, nelle ipotesi di resistenza di ingresso dell'ADC infinita.**
- c) Determinare il massimo valore ammesso per il GBWP dell'amplificatore operazionale perché il margine di fase sia almeno pari a 45° (A_0 non è noto separatamente).

Esercizio 3

Si consideri il circuito a MOSFET riportato nella Fig. 3, in cui v_{in} è un generatore di tensione di piccolo segnale e I_0 è un generatore di corrente DC.

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), sapendo che la tensione di uscita in DC è pari a 0 V .**
- b) **Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} a bassa frequenza.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/v_{in} , quotandone tutti i punti significativi.
- d) Nelle ipotesi di sostituire ad I_0 una resistenza R_0 di valore opportuno per non alterare la polarizzazione, determinare come cambia il guadagno di piccolo segnale v_{out}/v_{in} a bassa frequenza ed il numero di quadri necessario per tale resistenza, potendo disporre di diffusioni di Boro con una dose di $D = 1 \times 10^{13} \text{ cm}^{-2}$.

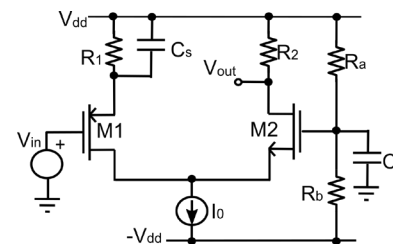


Fig. 3

$$\begin{aligned}
 V_{Tn} &= -V_{Tp} = 1 \text{ V} & V_{dd} &= 5 \text{ V} \\
 k_n &= 0.5 \text{ mA}/\text{V}^2 & |k_p| &= 0.5 \text{ mA}/\text{V}^2 \\
 R_a &= 600 \text{ k}\Omega & R_b &= 400 \text{ k}\Omega \\
 C_s &= 470 \text{ nF} & C &= 47 \mu\text{F} \\
 R_1 &= 1 \text{ k}\Omega & R_2 &= 10 \text{ k}\Omega \\
 I_0 &= 2.5 \text{ mA} \\
 \mu_n &= 1200 \text{ cm}^2/(\text{Vs}) & \mu_p &= 450 \text{ cm}^2/(\text{Vs})
 \end{aligned}$$

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2023/24

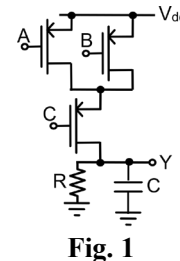
Primo appello – 15 luglio 2024

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Primo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito logico riportato nella Fig. 1.

- a) **Determinare la funzione logica svolta dal circuito logico e disegnare la rete di pull-down da sostituire alla resistenza R per realizzare la corrispondente porta in tecnologia CMOS.**
- b) Determinare il tempo di transizione 20%-80% della tensione di uscita V_{out} nel circuito logico di Fig. 1 e nella corrispondente porta logica CMOS, a seguito della commutazione $A = B = C = 0 \rightarrow A = B = C = 1$.
- c) Determinare il valore logico ed il corrispondente valore analogico di V_{out} per $A = C = 1$ e $B = 0$ e per $A = B = C = 0$.

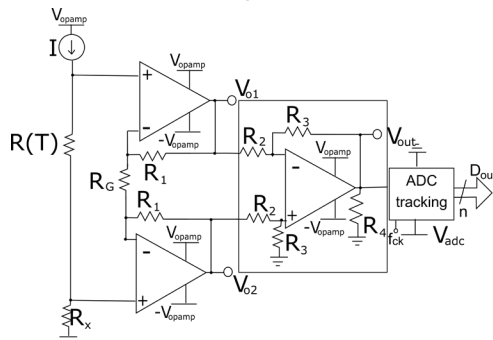


$$\begin{aligned}
 V_{dd} &= 2.7 \text{ V} \\
 R &= 4 \text{ k}\Omega \\
 C &= 4.2 \text{ pF} \\
 k_n &= 0.7 \text{ mA/V}^2 \\
 |k_p| &= 0.7 \text{ mA/V}^2 \\
 V_{Tn} &= - \\
 V_{Tp} &= 0.65 \text{ V}
 \end{aligned}$$

Fig. 1

Esercizio 2

Si consideri la catena di acquisizione per la misura di temperatura tramite un sensore resistivo $R(T) = R_0 + \alpha T(^{\circ}\text{C})$ con $R_0 = 100\Omega$ e $\alpha = 0.39\Omega/^{\circ}\text{C}$, mostrata in Fig. 2. L'ADC sia del tipo *tracking*. Gli amplificatori operazionali saturino alle tensioni di alimentazione e I sia un generatore di corrente DC.



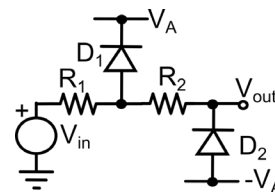
$$\begin{aligned}
 R_G &= 1 \text{ k}\Omega & R_x &= 1 \text{ k}\Omega \\
 R_1 &= 10 \text{ k}\Omega & I &= 100 \mu\text{A} \\
 R_2 &= 2 \text{ k}\Omega & V_{adc} &= -6 \text{ V} \\
 R_3 &= 20 \text{ k}\Omega & V_{opamp} &= 18 \text{ V} \\
 R_4 &= 1 \text{ k}\Omega & n &= 13 \text{ bits}
 \end{aligned}$$

Fig. 2

- a) **Determinare l'espressione letterale e con i coefficienti numerici della tensione V_{out} in funzione della temperatura T espressa in gradi centigradi ($^{\circ}\text{C}$).**
- b) Determinare la variazione di temperatura erroneamente misurata se tutti gli amplificatori operazionali sono caratterizzati da una tensione di *offset* pari a $\pm 0.2 \text{ mV}$.
- c) Con solo riferimento al circuito nel riquadro tratteggiato, determinarne il margine di fase, se fosse presente una capacità di carico pari a 80 pF in parallelo alla resistenza di carico R_4 e se l'amplificatore operazionale fosse caratterizzato da una resistenza di uscita ad anello aperto $r_0 = 10 \Omega$ e da un prodotto guadagno larghezza di banda $GBWP = 20 \text{ MHz}$.
- d) Determinare la minima frequenza di *clock* (f_{ck}) che possa garantire una risoluzione di 0.1°C e possa seguire una variazione di temperatura pari a 10°C/s per temperature nell'intervallo $[0^{\circ}\text{C}, 100^{\circ}\text{C}]$.

Esercizio 3

Si consideri il circuito riportato in Fig. 3. I diodi conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a 0.7 V . V_{in} sia un generico segnale di tensione con valori che variano nell'intervallo $[-5 \text{ V}, +5 \text{ V}]$. **Tracciare, quotandone tutti i punti significativi, l'andamento della caratteristica di trasferimento statica V_{out} vs V_{in} . Si giustifichi la risposta.**



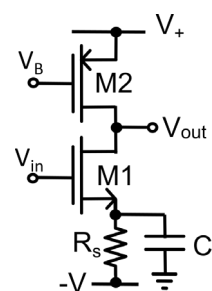
$$\begin{aligned}
 V_A &= 4 \text{ V} \\
 R_1 &= 4 \text{ k}\Omega \\
 R_2 &= 10 \text{ k}\Omega
 \end{aligned}$$

Fig. 3

Esercizio 4

Si consideri il circuito a MOSFET riportato nella Fig. 4, in cui v_{in} è un generatore di tensione di piccolo segnale e V_B è un generatore di tensione DC.

- a) **Determinare la tensione V_B necessaria perché la transconduttanza del MOS M1 sia pari a 2 mS . Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami) e indicare l'intervallo di valori permesso per la tensione di uscita in DC.**
- b) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/v_{in} , quotandone tutti i punti significativi. Si assuma per il solo MOS M2, $r_0 = 100 \text{ k}\Omega$.



$$\begin{aligned}
 V_+ &= 6 \text{ V} \\
 V_- &= 3 \text{ V} \\
 V_{Tn} &= -V_{Tp} = 1 \text{ V} \\
 k_n &= |k_p| = 1 \text{ mA/V}^2 \\
 R_s &= 1 \text{ k}\Omega \\
 C_s &= 47 \text{ nF}
 \end{aligned}$$

Fig. 4

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2023/24

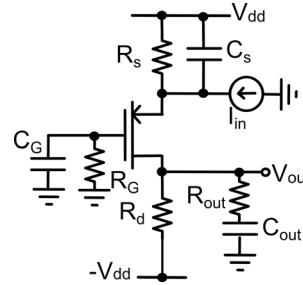
Secondo appello – 30 agosto 2024

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Secondo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a MOSFET riportato nella Fig. 1, in cui i_{in} è un generatore di corrente di piccolo segnale.

- a) **Determinare il valore della resistenza R_s , necessario perché la tensione di uscita in DC sia pari a 0 V. Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/i_{in} , quotandone tutti i punti significativi.



$$\begin{aligned}
 V_{dd} &= 6 \text{ V} \\
 V_{Tp} &= -0.7 \text{ V} \\
 |k_p| &= 0.5 \text{ mA/V}^2 \\
 R_G &= 100 \text{ k}\Omega \\
 C_G &= 47 \text{ }\mu\text{F} \\
 C_s &= 47 \text{ nF} \\
 R_d &= 3 \text{ k}\Omega \\
 R_{out} &= 1 \text{ k}\Omega \\
 C_{out} &= 1 \text{ }\mu\text{F}
 \end{aligned}$$

Fig. 1

Esercizio 2

Si consideri il circuito logico, in tecnologia CMOS, riportato nella Fig. 2.

- a) **Scrivere la tabella della verità riportando il valore logico della tensione di uscita Y per ogni combinazione dei segnali di ingresso A e B e del segnale di controllo EN . Disegnare la rete di pull-down in tecnologia CMOS. Si trascuri la rete dall'ingresso C all'ingresso B .**
- b) Determinare la potenza dissipata dalla porta nel caso di $EN = 1$ e di $EN = 0$, nel caso in cui gli ingressi A e B siano cortocircuitati tra loro e pilotati da un segnale logico a frequenza $f_{ck} = 6 \text{ MHz}$. L'ingresso C sia non connesso.
- c) Si consideri ora la rete dall'ingresso C all'ingresso B e si supponga di pilotare gli ingressi A e C cortocircuitati tra loro con un segnale logico a frequenza $f_{ck} = 6 \text{ MHz}$ e di fissare $EN = 1$. Tracciare in 4 diagrammi temporali allineati, quotandone tutti i punti significativi, l'andamento delle forme d'onda in A , C , B e Y . Si assuma la soglia logica pari a $V_{dd}/2$.

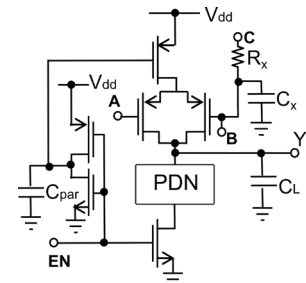
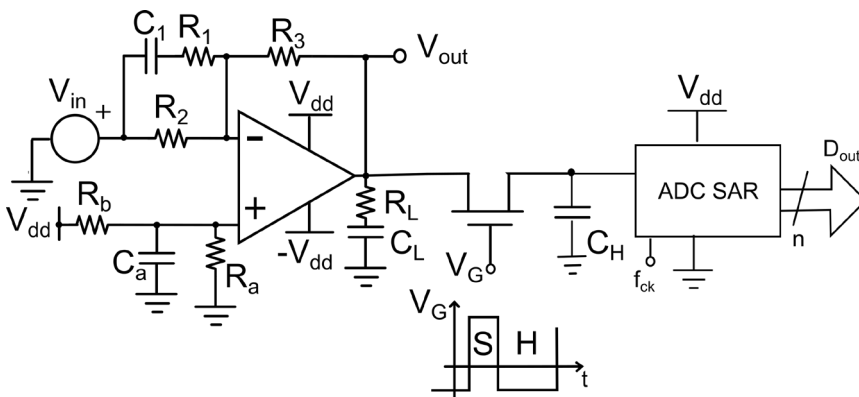


Fig. 2

$$\begin{aligned}
 V_{dd} &= 2.7 \text{ V} \\
 C_L &= 2 \text{ pF} & C_{par} &= 0.5 \text{ pF} \\
 k_n = |k_p| &= 75 \text{ }\mu\text{A/V}^2 & V_{Tn} &= |V_{Tp}| = 0.7 \text{ V} \\
 C_x &= 15 \text{ pF} & R_x &= 1 \text{ k}\Omega
 \end{aligned}$$

Esercizio 3

Si consideri la catena di acquisizione per segnali sinusoidali, mostrata in Fig. 3. L'ADC sia del tipo ad approssimazioni successive (SAR). Gli amplificatori operazionali saturino alle tensioni di alimentazione e V_{in} sia un generatore di tensione di segnale sinusoidale.



$$\begin{aligned}
 V_{dd} &= 6 \text{ V} & R_L &= 10 \text{ }\Omega \\
 k_n &= 8 \text{ mA/V}^2 & C_L &= 200 \text{ pF} \\
 V_{Tn} &= 1 \text{ V} & R_a &= 10 \text{ k}\Omega \\
 R_1 &= 4 \text{ k}\Omega & R_b &= 210 \text{ k}\Omega \\
 R_2 &= 2 \text{ k}\Omega & C_a &= 47 \text{ }\mu\text{F} \\
 R_3 &= 20 \text{ k}\Omega & n &= 12 \text{ bits} \\
 C_1 &= 470 \text{ pF} & f_{ck} &= 20 \text{ MHz} \\
 C_H &= 1 \text{ nF} & &
 \end{aligned}$$

Fig. 3

- a) **Determinare l'espressione ed il valore del trasferimento V_{out}/V_{in} a bassa frequenza ed il valore in DC della tensione di uscita, assumendo l'amplificatore operazionale ideale.**
- b) **Determinare il minimo valore che deve possedere il guadagno ad anello aperto (A_0) dell'amplificatore operazionale, per garantire un errore statico di guadagno minore di 10^{-4} .**
- c) Determinare la tensione di comando necessaria per il Gate del nMOS in fase di Sample che sia compatibile con un errore massimo di $LSB/4$ e con una durata del tempo di Sample $T_{Sample} = 50 \text{ ns}$.
- d) Determinare il margine di fase del circuito amplificatore operazionale fosse caratterizzato da un prodotto guadagno larghezza di banda $GBWP = 70 \text{ MHz}$.

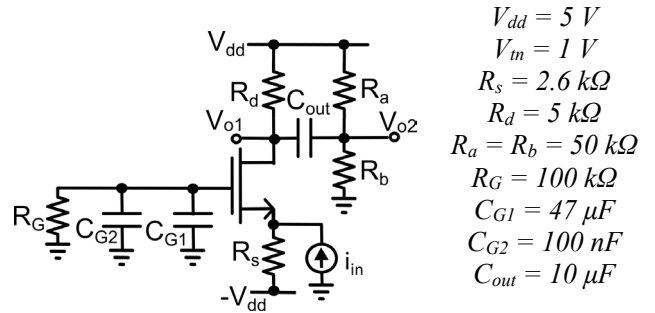
Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2023/24
Terzo appello – 24 gennaio 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, "Terzo Appello", numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito amplificatore contenente un transistor MOSFET mostrato in Fig.1, i_{in} è un generatore di corrente di piccolo segnale.

- a) **Calcolare il valore necessario del fattore di transconduttanza k_n che garantisca che $V_{o1} = 0 V$. Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale a media frequenza v_{o2}/i_{in} .**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{o1}/i_{in} , quotandone tutti i punti significativi.
- d) Determinare la massima dinamica positiva e negativa possibile per il nodo V_{o1} .



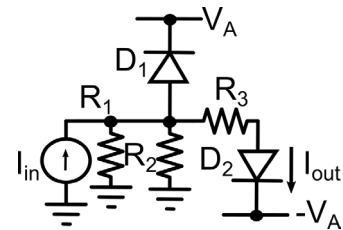
$V_{dd} = 5 V$
 $V_{in} = 1 V$
 $R_s = 2.6 k\Omega$
 $R_d = 5 k\Omega$
 $R_a = R_b = 50 k\Omega$
 $R_G = 100 k\Omega$
 $C_{G1} = 47 \mu F$
 $C_{G2} = 100 nF$
 $C_{out} = 10 \mu F$

Fig. 1

Esercizio 2

Si consideri il circuito con diodi, riportato nella Fig. 2. La corrente I_{in} vari nell'intervallo $[-5mA, 5mA]$.

- a) **Disegnare la caratteristica di trasferimento corrente di ingresso-corrente di uscita, assumendo i diodi ideali (tensione di accensione $0.7 V$, corrente nulla in polarizzazione inversa per qualsiasi tensione applicata).**
- b) Tracciare l'andamento, in funzione della corrente i_{in} , della potenza dissipata dal solo diodo D_2 , assumendo il solo diodo D_1 caratterizzato da una tensione di *breakdown* pari a $-12V$.

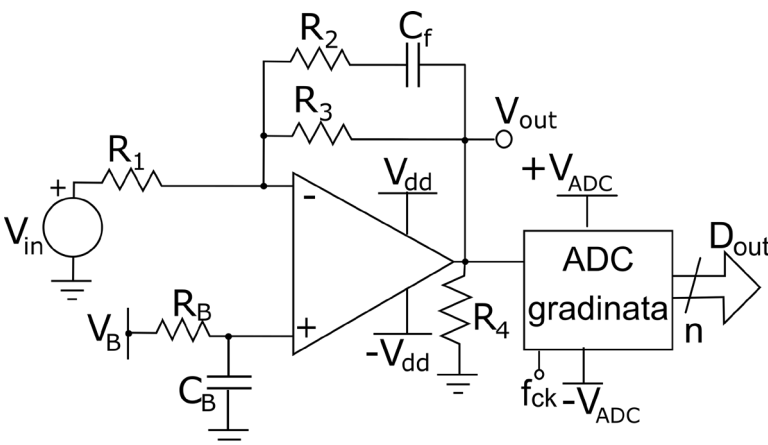


$V_A = 6 V$
 $R_1 = 1 k\Omega$
 $R_2 = 4 k\Omega$
 $R_3 = 8 k\Omega$

Fig. 2

Esercizio 3

Si consideri la catena di acquisizione per segnali, mostrata in Fig. 3. L'ADC sia del tipo a gradinata. Gli amplificatori operazionali saturino alle tensioni di alimentazione e V_{in} sia un generatore di tensione sinusoidale che eroga segnali $V_{in} = 180mV |\sin(\omega t)|$.



$V_{dd} = 6 V$
 $R_B = 200 k\Omega$
 $C_B = 470 \mu F$
 $R_1 = 1.5 k\Omega$
 $R_2 = 10 k\Omega$
 $R_3 = 25 k\Omega$
 $R_4 = 50 \Omega$
 $C_f = 47 pF$
 $V_{ADC} = 3.3 V$
 $n = 13 bits$

Fig. 3

- a) **Assumendo $V_B = 0V$, determinare il massimo ed il minimo valore di picco della tensione V_{out} , a seconda della frequenza del segnale di ingresso e la risoluzione ottenibile in ingresso nei due casi limite, assumendo l'amplificatore operazionale ideale.**
- b) **Si assuma ora $V_B = 100 mV$, V_{in} sia un gradino positivo di tensione di ampiezza $180 mV$ e l'amplificatore operazionale sia ideale, disegnare l'andamento nel tempo della tensione di uscita V_{out} , quotandone tutti i punti significativi. Questo segnale sarebbe convertibile dall'ADC?**
- c) Assumendo nuovamente $V_B = 0V$, determinare la minima frequenza di clock, f_{ck} , che deve possedere l'ADC nelle ipotesi che la frequenza del segnale di ingresso sia di $2 Hz$.
- d) Determinare il margine di fase del circuito amplificatore nelle ipotesi che l'amplificatore operazionale sia caratterizzato da un prodotto guadagno-larghezza di banda pari a $GBWP = 75 MHz$.

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2024/25

Quarto appello – 10 febbraio 2025

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Quarto Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito amplificatore per segnali differenziali, mostrato in Fig. 1. v_a e v_b sono generatori di tensione di piccolo segnale. I_0 è un generatore di corrente DC da 2 mA.

- a) Trascurando la presenza di R_0 , determinare la polarizzazione del circuito (correnti in tutti i rami e tensioni a tutti i nodi).
- b) Si consideri ora R_0 , determinare il trasferimento differenziale, $v_{out}/(v_a - v_b)$.
- c) Trascurando la presenza di R_0 , e assumendo che il fattore di transconduttanza del MOSFET M1, k_1 , sia pari a $k_1 = k_n + 3\%k_n$, mentre il fattore di transconduttanza del MOSFET M2 resti invariato, determinare l'offset che si presenta sull'uscita V_{out} , rispetto al valore di polarizzazione calcolato in a).
- d) Si consideri ora R_0 , tracciare il diagramma di Bode del modulo del trasferimento di modo comune, $2v_{out}/(v_a + v_b)$.

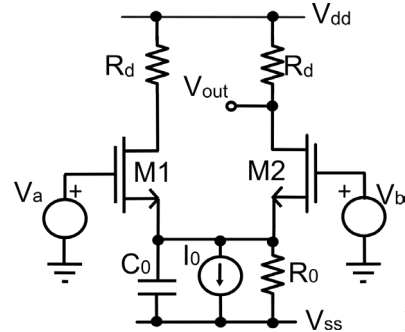


Fig. 1

$$\begin{aligned}
 V_{dd} &= 5 \text{ V} & V_{ss} &= -5 \text{ V} \\
 V_{Tn} &= 1 \text{ V} & R_d &= 4.7 \text{ k}\Omega \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L) = 1 \text{ mA/V}^2 \\
 R_0 &= 120 \text{ k}\Omega & C_0 &= 10 \text{ pF}
 \end{aligned}$$

Esercizio 2

Si consideri il circuito logico mostrato in Fig. 2. I segnali logici A, B, C assumano i valori logici 0, pari a 0 V e 1 logico, pari a V_{dd} .

- a) Scrivere la tabella delle verità per tutte le combinazioni degli ingressi A, B e C.
- b) Assumendo $C = 1$, determinare la transizione più gravosa e calcolarne il relativo tempo di commutazione, assumendo una transizione istantanea degli ingressi A e B.

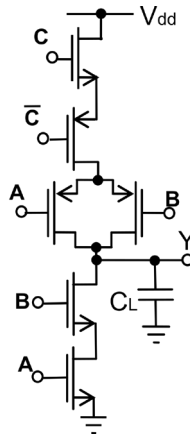


Fig. 2

$$\begin{aligned}
 V_{Tn} &= |V_{Tp}| = 0.7 \text{ V} \\
 |k_p| &= \frac{1}{2} \mu_p C_{ox} (W/L) = 0.18 \text{ mA/V}^2 \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L) = 0.18 \text{ mA/V}^2 \\
 C_L &= 2.1 \text{ pF} \\
 V_{dd} &= 2.7 \text{ V}
 \end{aligned}$$

Esercizio 3

Si consideri il circuito mostrato in Fig. 3. L'ADC sia del tipo tracking con una risoluzione di 12 bits. Gli amplificatori operazionali saturino alle tensioni di alimentazione.

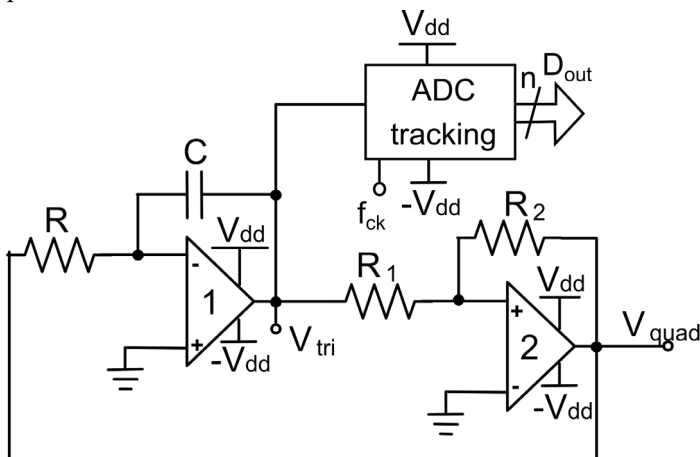


Fig. 3

- a) Determinare il livello alto ed il livello basso dell'onda quadra di uscita, v_{quad} , ed il suo periodo.
- b) Determinare il minimo periodo dell'onda triangolare, v_{tri} , che non causi lo “sgancio” dell'ADC. Quale sarebbe, quindi, il minimo valore possibile per la capacità C?
- c) Se l'ADC fosse caratterizzato da un rapporto segnale/rumore $SNR = 68 \text{ dB}$, determinare la minima variazione di tensione misurabile.
- d) Determinare il minimo valore dello Slew Rate che deve possedere l'amplificatore operazionale 1 per non causare distorsioni nella forma dell'onda triangolare v_{tri} .

$$\begin{aligned}
 V_{dd} &= 6 \text{ V} \\
 R &= 20 \text{ k}\Omega \\
 C &= 1 \mu\text{F} \\
 R_1 &= 1.2 \text{ k}\Omega \\
 R_2 &= 12 \text{ k}\Omega \\
 n &= 12 \text{ bits} \\
 f_{ck} &= 1 \text{ MHz}
 \end{aligned}$$