

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2022/23

Primo Appello– 24 luglio 2023

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Primo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a MOSFET riportato nella Fig. 1, in cui v_{in} è un generatore di tensione di piccolo segnale e V_G è un generatore di tensione DC.

- a) **Determinare la tensione DC V_G necessaria per garantire una corrente di polarizzazione pari a 1 mA. Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del guadagno di piccolo segnale $v_{out,1}/v_{in}$ ad alta frequenza, assumendo che il solo transistor $M2$ abbia una resistenza di uscita finita, $r_o = 90k\Omega$.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale $v_{out,1}/v_{in}$, quotandone tutti i punti significativi, assumendo che il solo transistor $M2$ abbia una resistenza di uscita finita, $r_o = 90k\Omega$.
- d) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale $v_{out,2}/v_{in}$, quotandone tutti i punti significativi, assumendo che tutti i transistori abbiano resistenza di uscita (r_o) infinita.

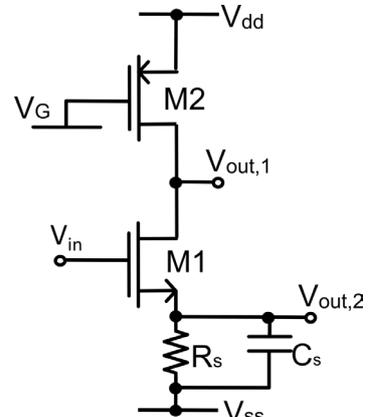


Fig. 1

$$V_{Tn} = |V_{Tp}| = 1V \quad k_n = |k_p| = 1 \text{ mA/V}^2$$

$$V_{dd} = +4.5V \quad V_{ss} = -3V$$

$$R_s = 1k\Omega \quad C_s = 220 \text{ pF}$$

Esercizio 2

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 2, che realizza la funzione logica $Y = A \cdot B + C(D+A) + A$.

- a) **Disegnare la rete di pull-up e la rete di pull-down della porta logica complessa in tecnologia CMOS in forma minima che svolge tale funzione logica. Si giustificino dettagliatamente le scelte effettuate.**
- b) Determinare il fattore di forma $(W/L)_n$ dei transistori nMOS, supposti tutti uguali, per avere la soglia di commutazione pari a 0 V, supponendo di cortocircuitare tutti gli ingressi tra loro, mostrando dettagliatamente i passaggi effettuati.

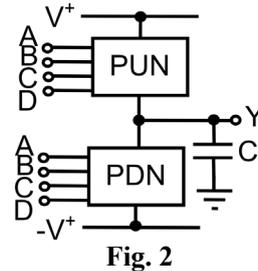


Fig. 2

$$V^+ = 3.3V$$

$$\frac{1}{2} \mu_n C_{ox} = 100 \mu\text{A/V}^2$$

$$\frac{1}{2} \mu_p C_{ox} = 40 \mu\text{A/V}^2$$

$$(W/L)_p = 6$$

$$|V_{Tp}| = V_{Tn} = 0.75V$$

$$C = 500 \text{ fF}$$

Esercizio 3

Si consideri la catena di acquisizione mostrata in Fig. 3a. Il segnale di ingresso è di tipo sinusoidale: $V_{in} = A \sin(2\pi f_a t) + B \sin(2\pi f_b t)$ con $A = B = 250 \text{ mV}$, $f_a = 3 \text{ kHz}$ e $f_b = 6 \text{ kHz}$ ed è mostrato in Fig. 3b. Gli amplificatori operazionali saturano alle tensioni di alimentazione.

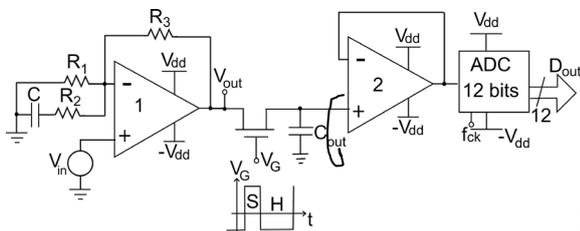


Fig. 3a

$$V_{dd} = +5V \quad R_1 = R_2 = 3k\Omega \quad R_3 = 6k\Omega \quad C = 1nF$$

$$C_H = 2.2nF \quad f_{ck} = 40MHz \quad V_{Tn} = 1V \quad k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 3.5 \text{ mA/}$$

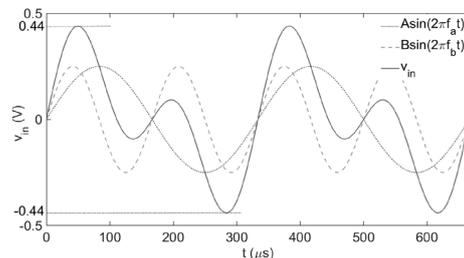


Fig. 3b

- a) **Determinare l'espressione della tensione di uscita dell'operazionale 1, $V_{out}(t)$ a bassa frequenza e ad alta frequenza ed il minimo valore che può assumere la resistenza R_1 per non compromettere il funzionamento della catena. Mostrare esplicitamente i calcoli eseguiti per giungere a tale espressione.**
- b) **Determinare la minima frequenza di campionamento richiesta e, supponendo di poter trascurare la durata del tempo di Sample, determinare il tipo di ADC più idoneo se la frequenza di clock disponibile è pari a $f_{ck} = 40 \text{ MHz}$. Motivare la risposta.**
- c) Se l'amplificatore operazionale 1 è caratterizzato da un prodotto guadagno-larghezza di banda $GBWP = 65 \text{ MHz}$, disegnare il diagramma di Bode del modulo del trasferimento reale (v_{out}/v_{in}), quotandone tutti i punti significativi.
- d) Se l'amplificatore operazionale 2 è caratterizzato da una resistenza di ingresso $R_{id} = 20 \text{ M}\Omega$ e da un guadagno ad anello aperto $A_0 = 75 \text{ dB}$, determinare la massima durata del tempo di Hold che garantisca che l'errore di droop sia inferiore a $\frac{1}{2} \text{ LSB}$.