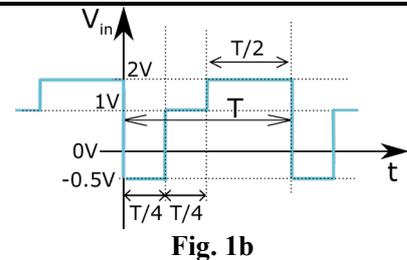
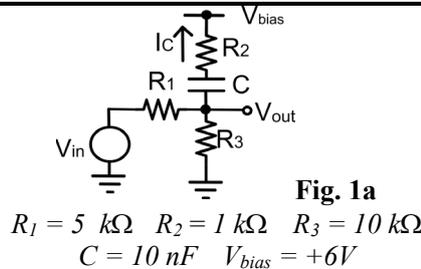


1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, data, “1^a prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

ESERCIZIO 0 - DA RISOLVERE OBBLIGATORIAMENTE IN MANIERA ESATTA (pena la non correzione dei restanti esercizi)

Si consideri il circuito riportato nella Fig. 1a. Determinare la costante di tempo del circuito ed il valore medio della corrente I_C , quando in ingresso e' applicato il segnale (periodico) mostrato in Fig. 1b, se $T = 2$ ms.



Esercizio 1

Si consideri nuovamente il circuito riportato nella Fig. 1a.

- a) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione $V_{out}(t)$ quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T = 2$ ms. Si giustifichi la risposta.
- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione $V_{out}(t)$ quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T = 1$ ms. Si assuma il circuito a regime e si giustifichi la risposta.

Esercizio 2

Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui v_{in} e' un generatore di tensione di piccolo segnale

- a) Determinare la tensione V_B necessaria perche' la corrente nei transistori sia 1 mA . Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami) e l'intervallo di tensioni ammesse per il nodo di uscita.
- b) Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} ad alta frequenza (tutte le capacita' circuito chiuso).
- c) Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} ad alta frequenza (tutte le capacita' circuito chiuso), assumendo che i transistori siano caratterizzati da una resistenza di uscita $r_0 = 50 \text{ k}\Omega$.
- d) Determinare le singularita' introdotte dalle capacita' C_G , C_{sn} e C_{out} nel trasferimento di piccolo segnale v_{out}/v_{in} , assumendo $r_0 = \infty$.

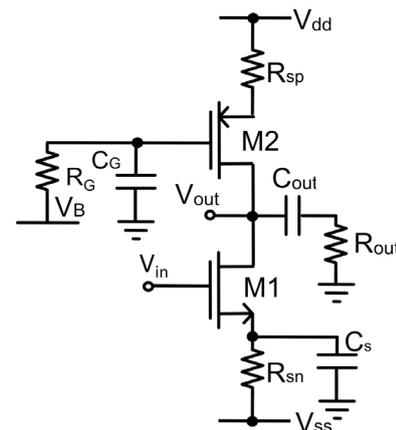


Fig. 2

$$k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 1 \text{ mA/V}^2 \quad V_{Tn} = 1 \text{ V}$$

$$|k_p| = \frac{1}{2} \mu_p C_{ox} (W/L) = 1 \text{ mA/V}^2 \quad |V_{Tp}| = 1 \text{ V}$$

$$V_{dd} = -V_{ss} = 5 \text{ V} \quad R_{sp} = 2.5 \text{ k}\Omega$$

$$R_{out} = 10 \text{ k}\Omega \quad R_{sn} = 3 \text{ k}\Omega \quad R_G = 100 \text{ k}\Omega$$

$$C_{out} = 47 \text{ nF} \quad C_{sn} = 470 \text{ nF} \quad C_G = 47 \text{ pF}$$

Esercizio 3

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 3, che svolge la funzione logica $Y = (A B + C) + (A + D)$.

- a) Disegnare la porta logica complessa in tecnologia CMOS, esplicitando la rete di pull-up e la rete di pull-down, che svolge tale funzione logica in forma minima. Si giustifichino le scelte effettuate.
- b) Determinare il fattore di forma necessario per i transistori pMOS necessario per uguagliare il tempo di transizione HL e LH nella transizione 0000 → 0101 e viceversa.

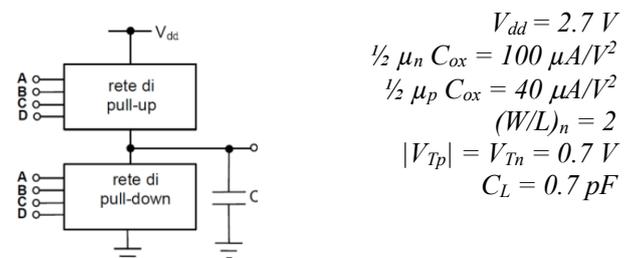
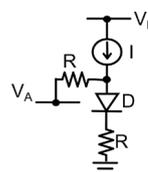


Fig. 3

Esercizio 4

Si consideri il circuito riportato in Fig. 4. Il diodo conduce quando e' polarizzato in diretta con una tensione ai suoi capi pari a 0.7 V . I_{in} e' un segnale di corrente sinusoidale con ampiezza A e periodo $T = 1 \text{ ms}$. Determinare il massimo valore della ampiezza A della sinusoide in ingresso che non causi mai lo spegnimento del diodo. Si giustifichi la risposta.



$R = 3 \text{ k}\Omega$
 $V_A = +1 \text{ V}$
 $V_B = +3 \text{ V}$

Fig. 4

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2022/23

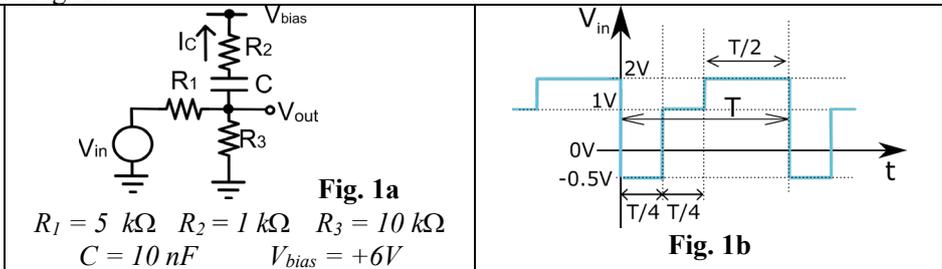
Appello Straordinario – 19 aprile 2023

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, data, “Appello Straordinario”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome e numero di matricola.
3. Scrivere con grafia leggibile e con la penna.
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1a.

- a) **Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione $V_{out}(t)$ quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T=2\text{ ms}$. Si giustifichi la risposta.**

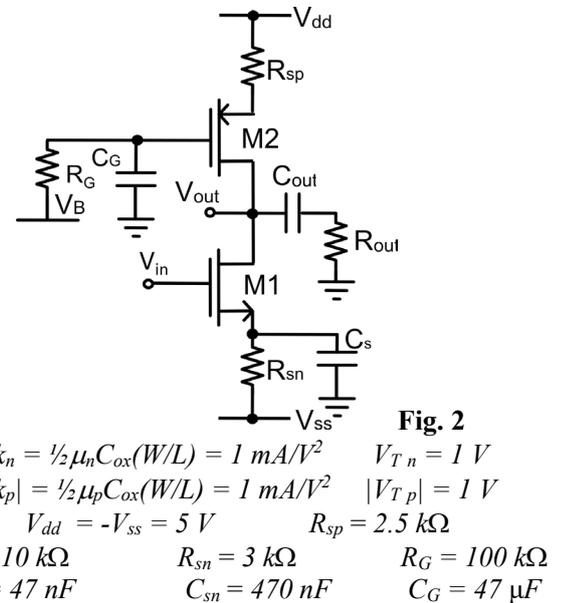


- b) Disegnare in un diagramma temporale, quotandone tutti i punti significativi, l'andamento della tensione $V_{out}(t)$ quando in ingresso e' applicato il segnale di Fig. 1b. (periodico), se $T=1\text{ ms}$. Si assuma il circuito a regime e si giustifichi la risposta.

Esercizio 2

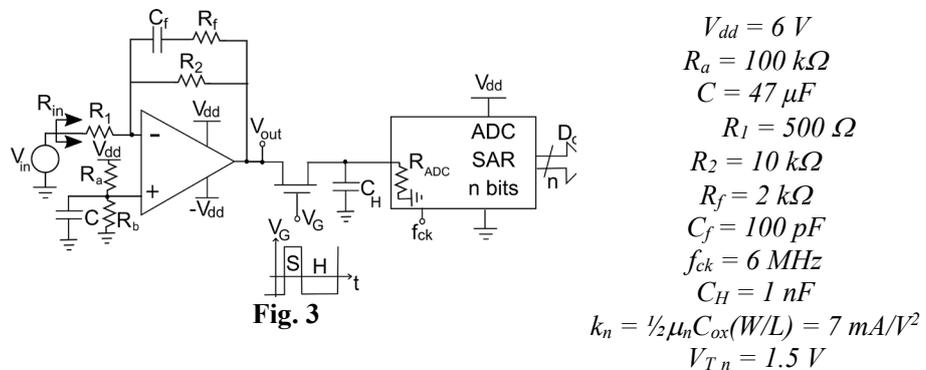
Si consideri il circuito a MOSFET riportato nella Fig. 2, in cui v_{in} e' un generatore di tensione di piccolo segnale

- a) **Determinare la tensione V_B necessaria perche' la corrente nei transistori sia 1 mA . Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami) e l'intervallo di tensioni ammesse per il nodo di uscita.**
- b) **Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} ad alta frequenza (tutte le capacita' circuito chiuso).**
- c) Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/v_{in} ad alta frequenza (tutte le capacita' circuito chiuso), assumendo che i transistori siano caratterizzati da una resistenza di uscita $r_o = 50\text{ k}\Omega$.
- d) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/v_{in} , assumendo che il solo transistor M_2 sia caratterizzato da una resistenza di uscita $r_o = 50\text{ k}\Omega$.



Esercizio 3

Si consideri la catena di acquisizione riportata nella Fig. 3. L'amplificatore operazionale saturi alle tensioni di alimentazione, V_{in} sia un generatore di tensione di segnale sinusoidale con ampiezza 250 mV e frequenza qualsiasi. Il convertitore analogico digitale sia del tipo SAR con un numero n di bits.

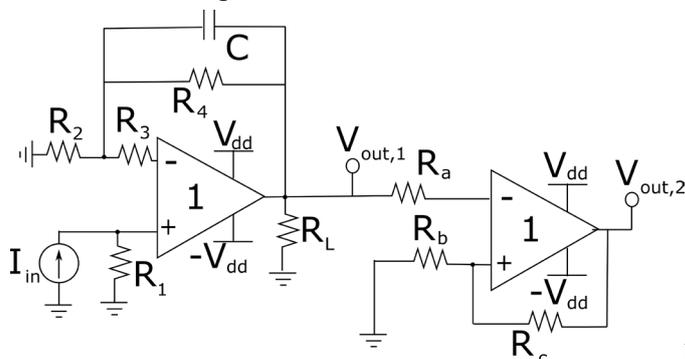


- a) **Determinare l'espressione ed il valore del trasferimento V_{out}/V_{in} a media frequenza nelle ipotesi di amplificatore operazionale ideale e determinare l'intervallo di valori ammissibili per la resistenza R_b che garantisca il corretto funzionamento della catena.**
- b) **Determinare il minimo valore che deve assumere la resistenza di ingresso dell'ADC per garantire la corretta conversione con una risoluzione dello 0.5% sulla ampiezza del segnale in ingresso.**
- c) Determinare il margine di fase dello stadio amplificatore, se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno-larghezza di banda pari a 70 MHz (A_0 e f_0 non sono noti separatamente).
- d) Determinare l'espressione ed il valore della resistenza R_{in} a media frequenza, se l'amplificatore operazionale e' caratterizzato da una resistenza di ingresso differenziale pari a $1\text{ M}\Omega$ e da un guadagno ad anello aperto $A_0 = 80\text{ dB}$.

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “seconda prova in itinere”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1. Gli amplificatori operazionali saturano alle tensioni di alimentazione. I_{in} sia un generatore di corrente di segnale.



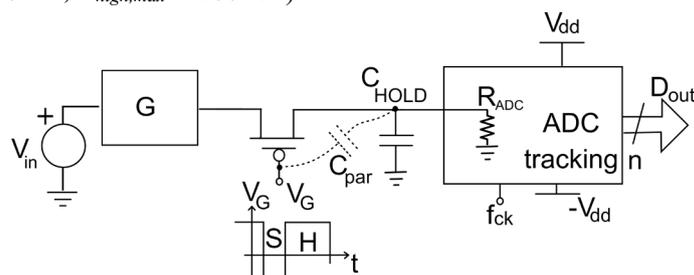
$$\begin{aligned}
 R_1 &= 100 \text{ k}\Omega \\
 R_2 &= R_3 = 2 \text{ k}\Omega \\
 R_4 &= 18 \text{ k}\Omega \\
 R_L &= 1 \text{ k}\Omega \\
 C &= 2 \text{ pF} \\
 R_a &= 5 \text{ k}\Omega \\
 R_b &= 100 \text{ }\Omega \\
 R_c &= 8.9 \text{ k}\Omega \\
 V_{dd} &= 4.5 \text{ V}
 \end{aligned}$$

Fig. 1

- a) **Tracciare il diagramma di Bode del modulo del trasferimento $V_{out,1}/I_{in}$, quotandone tutti i punti significativi, assumendo l'amplificatore operazionale ideale.**
- b) **Determinare il valore della resistenza R_3 necessario per minimizzare l'effetto delle correnti di bias (uscenti) del primo operazionale, pari a una corrente media $I_B = 10 \text{ }\mu\text{A}$ con un offset delle correnti di bias pari a 50 nA .**
- c) **Determinare il valor medio delle soglie di commutazione del trigger di Schmitt, realizzato con l'amplificatore operazionale 2, e l'ampiezza del suo ciclo di isteresi. Tale trigger di Schmitt può essere impiegato correttamente in presenza di un rumore sovrapposto al segnale di 50 nA rms ?**
- d) Determinare il margine di fase del blocco amplificatore, se l'amplificatore operazionale 1 è caratterizzato da un prodotto guadagno-larghezza di banda, $GBWP = 70 \text{ MHz}$ (A_0 non è noto separatamente).
- e) Si assuma che l'amplificatore operazionale 1 sia caratterizzato da uno slew-rate di $4 \text{ V}/\mu\text{s}$, determinare, quindi, l'intervallo di tempo in cui, a seguito della applicazione di un gradino negativo in ingresso di ampiezza $1 \text{ }\mu\text{A}$, si abbia una commutazione dell'uscita $V_{out,2}$.

Esercizio 2

Si consideri la catena di acquisizione mostrata in Fig. 2. L'ADC sia del tipo ad inseguimento (*tracking*) con $n = 12 \text{ bits}$. V_{in} sia un generatore di segnale a gradino di ampiezza A nell'intervallo pari a $50 \text{ mV} - 200 \text{ mV}$ ($V_{low} = 0 \text{ V}$, $V_{high,min} = 50 \text{ mV}$, $V_{high,max} = 200 \text{ mV}$)



$$\begin{aligned}
 V_{Tp} &= -1 \text{ V} \\
 |k_p| &= 6 \text{ mA/V}^2 \\
 V_{dd} &= 4.5 \text{ V} \\
 f_{ck} &= 12 \text{ MHz} \\
 n &= 12 \text{ bits} \\
 C_{HOLD} &= 2 \text{ nF}
 \end{aligned}$$

Fig. 2

- a) **Determinare il minimo valore del guadagno G necessario per garantire di ottenere sempre una risoluzione in ingresso migliore dello 0.25% della ampiezza del gradino in ingresso.**
- b) **Si assuma ora $G = 12$, determinare le tensioni di comando del gate del pMOS che garantiscano una resistenza $R_{ds,on}$ minore di $10 \text{ }\Omega$ in fase di *Sample* e il pMOS spento con 3 V di margine in fase di *Hold*.**
- c) Nelle ipotesi di segnali di massima dinamica per il convertitore, determinare il minimo valore della resistenza di ingresso dell'ADC (R_{ADC}), compatibile con il corretto funzionamento della catena di acquisizione.
- d) Si assuma nuovamente $G = 12$, a seguito della applicazione del gradino in ingresso, determinare il minimo tempo da attendere per avere sempre una parola digitale “valida” in uscita. Si assuma un reset globale ad ogni inizio di conversione, corrispondente all'istante di applicazione del gradino.
- e) Assumendo $G = 12$ e che il transistor del circuito di *Sample & Hold* sia caratterizzato da una capacità parassita, C_{par} , come in figura, determinarne il massimo valore che non comprometta il corretto funzionamento della catena di acquisizione.

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2022/23

Appello straordinario – 22 giugno 2023

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Appello Straordinario”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito riportato nella Fig. 1. Gli amplificatori operazionali saturano alle tensioni di alimentazione. I_{in} sia un generatore di corrente di segnale.

- a) **Tracciare il diagramma di Bode del modulo del trasferimento $V_{out,1}/I_{in}$, quotandone tutti i punti significativi, assumendo l'amplificatore operazionale ideale.**
- b) Determinare il margine di fase del blocco amplificatore, se l'amplificatore operazionale 1 è caratterizzato da un prodotto guadagno-larghezza di banda, $GBWP = 70 \text{ MHz}$ (A_0 non è noto separatamente).

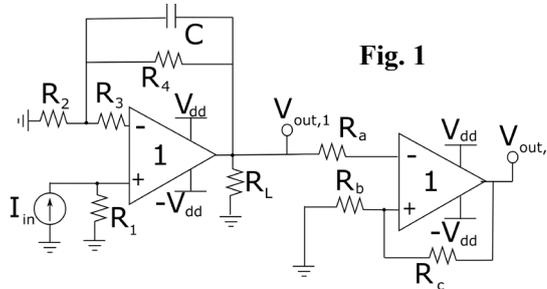


Fig. 1

- $R_1 = 100 \text{ k}\Omega$
- $R_2 = R_3 = 2 \text{ k}\Omega$
- $R_4 = 18 \text{ k}\Omega$
- $R_L = 1 \text{ k}\Omega$
- $C = 2 \text{ pF}$
- $R_a = 5 \text{ k}\Omega$
- $R_b = 100 \Omega$
- $R_c = 8.9 \text{ k}\Omega$
- $V_{dd} = 4.5 \text{ V}$

- c) Si assuma che l'amplificatore operazionale 1 sia caratterizzato da uno *slew-rate* di $4 \text{ V}/\mu\text{s}$, determinare, quindi, l'intervallo di tempo in cui, a seguito dell'applicazione di un gradino negativo in ingresso di ampiezza $1 \mu\text{A}$, si abbia una commutazione dell'uscita $V_{out,2}$.

Esercizio 2

Si consideri la catena di acquisizione mostrata in Fig. 2. L'ADC sia del tipo ad inseguimento (*tracking*) con $n = 12 \text{ bits}$. V_{in} sia un generatore di segnale a gradino di ampiezza A nell'intervallo pari a $50 \text{ mV} - 200 \text{ mV}$ ($V_{low} = 0 \text{ V}$, $V_{high,min} = 50 \text{ mV}$, $V_{high,max} = 200 \text{ mV}$).

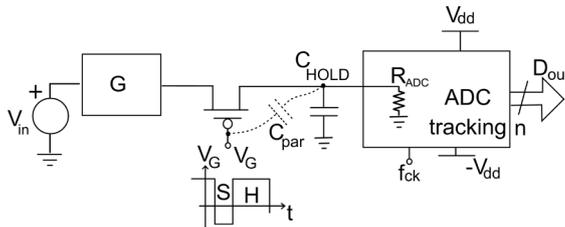


Fig. 2

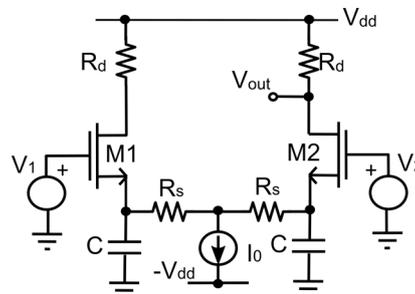
- $V_{Tp} = -1 \text{ V}$
- $|k_p| = 6 \text{ mA}/\text{V}^2$
- $V_{dd} = 4.5 \text{ V}$
- $f_{ck} = 12 \text{ MHz}$
- $n = 12 \text{ bits}$
- $C_{HOLD} = 2 \text{ nF}$

- a) **Determinare il minimo valore del guadagno G necessario per garantire di ottenere sempre una risoluzione in ingresso migliore dello 0.25% della ampiezza del gradino in ingresso.**
- b) Si assuma ora $G = 12$, determinare le tensioni di comando del *gate* del *pMOS* che garantiscano una resistenza $R_{ds,on}$ minore di 10Ω in fase di *Sample* e il *pMOS* spento con 3 V di margine in fase di *Hold*.
- c) Si assuma nuovamente $G = 12$, a seguito della applicazione del gradino in ingresso, determinare il minimo tempo da attendere per avere sempre una parola digitale “valida” in uscita. Si assuma un *reset* globale ad ogni inizio di conversione, corrispondente all'istante di applicazione del gradino.

Esercizio 3

Si consideri il circuito a *MOSFET* riportato nella Fig. 3, in cui v_1 e v_2 sono generatori di tensione di piccolo segnale.

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del guadagno differenziale di piccolo segnale $v_{out}/(v_2-v_1)$ a bassa frequenza.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento differenziale di piccolo segnale $v_{out}/(v_2-v_1)$, quotandone tutti i punti significativi.



- $V_{Tn} = 1 \text{ V}$
- $k_n = 0.5 \text{ mA}/\text{V}^2$
- $V_{dd} = 5 \text{ V}$
- $R_d = 8 \text{ k}\Omega$
- $R_s = 1 \text{ k}\Omega$
- $C = 22 \text{ pF}$
- $I_0 = 1 \text{ mA}$

Fig. 3

Esercizio 4

Si consideri il circuito riportato nella Fig. 4, in cui v_{in} è un generatore di tensione sinusoidale ($A = 5 \text{ V}$, $f = 30 \text{ Hz}$), V_{dd} è un generatore di tensione DC e I è un generatore di corrente DC pari a 1 mA . Per i diodi si assuma una tensione di accensione pari a 0.7 V e una tensione di *breakdown* pari a -4 V .

Determinare la massima potenza dissipata dal diodo.

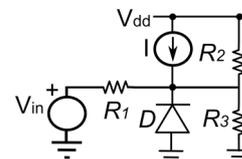


Fig. 4

- $V_{dd} = 5 \text{ V}$
- $R_1 = 1 \text{ k}\Omega$
- $R_2 = 10 \text{ k}\Omega$
- $R_3 = 1 \text{ k}\Omega$
- $I = 1 \text{ mA}$

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2022/23

Primo Appello– 24 luglio 2023

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Primo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a MOSFET riportato nella Fig. 1, in cui v_{in} è un generatore di tensione di piccolo segnale e V_G è un generatore di tensione DC.

- a) **Determinare la tensione DC V_G necessaria per garantire una corrente di polarizzazione pari a 1 mA. Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del guadagno di piccolo segnale $v_{out,1}/v_{in}$ ad alta frequenza, assumendo che il solo transistor $M2$ abbia una resistenza di uscita finita, $r_o = 90k\Omega$.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale $v_{out,1}/v_{in}$, quotandone tutti i punti significativi, assumendo che il solo transistor $M2$ abbia una resistenza di uscita finita, $r_o = 90k\Omega$.
- d) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale $v_{out,2}/v_{in}$, quotandone tutti i punti significativi, assumendo che tutti i transistori abbiano resistenza di uscita (r_o) infinita.

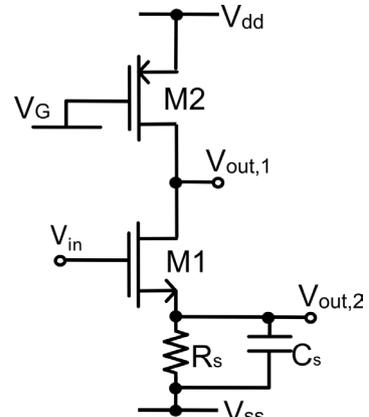


Fig. 1

$$V_{Tn} = |V_{Tp}| = 1V \quad k_n = |k_p| = 1 \text{ mA/V}^2$$

$$V_{dd} = +4.5V \quad V_{ss} = -3V$$

$$R_s = 1k\Omega \quad C_s = 220 \text{ pF}$$

Esercizio 2

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 2, che realizza la funzione logica $Y = A \cdot B + C(D+A) + A$.

- a) **Disegnare la rete di pull-up e la rete di pull-down della porta logica complessa in tecnologia CMOS in forma minima che svolge tale funzione logica. Si giustificino dettagliatamente le scelte effettuate.**
- b) Determinare il fattore di forma $(W/L)_n$ dei transistori nMOS, supposti tutti uguali, per avere la soglia di commutazione pari a 0 V, supponendo di cortocircuitare tutti gli ingressi tra loro, mostrando dettagliatamente i passaggi effettuati.

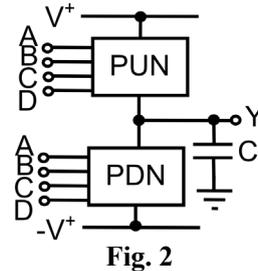


Fig. 2

$$V^+ = 3.3V$$

$$\frac{1}{2} \mu_n C_{ox} = 100 \mu\text{A/V}^2$$

$$\frac{1}{2} \mu_p C_{ox} = 40 \mu\text{A/V}^2$$

$$(W/L)_p = 6$$

$$|V_{Tp}| = V_{Tn} = 0.75V$$

$$C = 500 \text{ fF}$$

Esercizio 3

Si consideri la catena di acquisizione mostrata in Fig. 3a. Il segnale di ingresso è di tipo sinusoidale: $V_{in} = A \sin(2\pi f_a t) + B \sin(2\pi f_b t)$ con $A = B = 250 \text{ mV}$, $f_a = 3 \text{ kHz}$ e $f_b = 6 \text{ kHz}$ ed è mostrato in Fig. 3b. Gli amplificatori operazionali saturano alle tensioni di alimentazione.

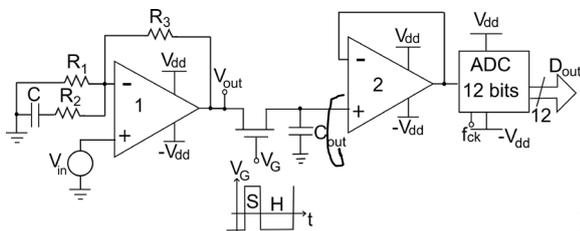


Fig. 3a

$$V_{dd} = +5V \quad R_1 = R_2 = 3k\Omega \quad R_3 = 6k\Omega \quad C = 1nF$$

$$C_H = 2.2nF \quad f_{ck} = 40MHz \quad V_{Tn} = 1V \quad k_n = \frac{1}{2} \mu_n C_{ox} (W/L) = 3.5 \text{ mA/}$$

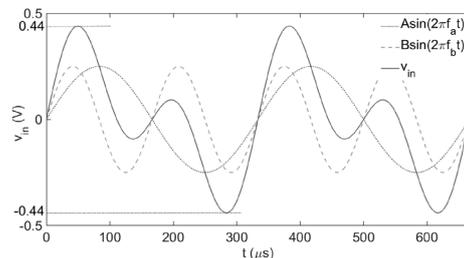


Fig. 3b

- a) **Determinare l'espressione della tensione di uscita dell'operazionale 1, $V_{out}(t)$ a bassa frequenza e ad alta frequenza ed il minimo valore che può assumere la resistenza R_1 per non compromettere il funzionamento della catena. Mostrare esplicitamente i calcoli eseguiti per giungere a tale espressione.**
- b) **Determinare la minima frequenza di campionamento richiesta e, supponendo di poter trascurare la durata del tempo di Sample, determinare il tipo di ADC più idoneo se la frequenza di clock disponibile è pari a $f_{ck} = 40 \text{ MHz}$. Motivare la risposta.**
- c) Se l'amplificatore operazionale 1 è caratterizzato da un prodotto guadagno-larghezza di banda $GBWP = 65 \text{ MHz}$, disegnare il diagramma di Bode del modulo del trasferimento reale (v_{out}/v_{in}), quotandone tutti i punti significativi.
- d) Se l'amplificatore operazionale 2 è caratterizzato da una resistenza di ingresso $R_{id} = 20 \text{ M}\Omega$ e da un guadagno ad anello aperto $A_0 = 75 \text{ dB}$, determinare la massima durata del tempo di Hold che garantisca che l'errore di droop sia inferiore a $\frac{1}{2} \text{ LSB}$.

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2022/23

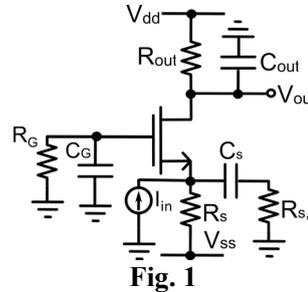
Secondo Appello– 12 settembre 2023

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Secondo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a MOSFET riportato nella Fig. 1, in cui i_{in} è un generatore di corrente di piccolo segnale.

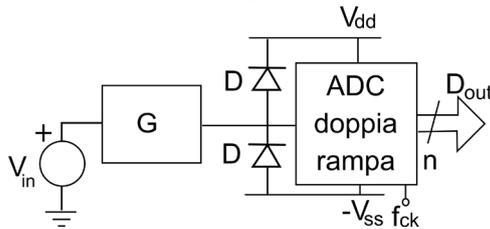
- a) **Determinare il fattore di forma (W/L) necessario per garantire una corrente di polarizzazione pari a 0.5 mA . Determinare, quindi, la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione ed il valore del guadagno di piccolo segnale v_{out}/i_{in} a bassa frequenza.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/i_{in} , quotandone tutti i punti significativi.



$$\begin{aligned}
 V_{Tn} &= 1\text{ V} \\
 \frac{1}{2}\mu_n C_{ox} &= 100\ \mu\text{A}/\text{V}^2 \\
 V_{DD} &= +3.5\text{ V} \\
 V_{SS} &= -2\text{ V} \\
 R_S &= 1\text{ k}\Omega \\
 R_{S1} &= 100\ \Omega \\
 C_S &= 860\text{ pF} \\
 R_{out} &= 7\text{ k}\Omega \\
 C_S &= 1\text{ pF}
 \end{aligned}$$

Esercizio 2

Si consideri la catena di acquisizione mostrata in Fig. 2. Il segnale di ingresso è di tipo sinusoidale: $V_{in} = A \sin(2\pi f_a t)$ con $A = 450\text{ mV}$, $f_a = 30\text{ Hz}$. I diodi D conducono quando sono polarizzati in diretta con una tensione ai loro capi pari a 0.7 V . L'ADC impiegato è del tipo a doppia rampa.



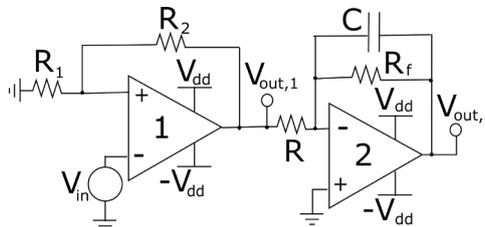
$$\begin{aligned}
 V_{DD} &= +3.3\text{ V} \\
 V_{SS} &= 2.5\text{ V} \\
 f_{ck} &= 30\text{ MHz} \\
 n &= 13\text{ bits}
 \end{aligned}$$

Fig. 2

- a) **Determinare il minimo valore del guadagno del blocco G necessario per convertire i segnali in ingresso con una risoluzione dell'1‰ (uno per mille) dell'ampiezza del segnale in ingresso ed il massimo guadagno del blocco G possibile.**
- b) Determinare la massima frequenza ammessa per il segnale sinusoidale di ingresso ed il valore della miglior risoluzione ottenibile potendo modificare il valore del guadagno del blocco G. Motivare la risposta.

Esercizio 3

Si consideri il circuito basato su amplificatori operazionali, mostrato in Fig. 3. Gli amplificatori operazionali saturano alle tensioni di alimentazione e V_{in} sia un generatore di tensione di segnale sinusoidale con ampiezza 3.5 V e frequenza 10 MHz .



$$R_1 = R_2 = 10\text{ k}\Omega \quad V_{DD} = 5\text{ V} \quad R = 6.25\text{ k}\Omega \quad R_f = 6\text{ k}\Omega \quad C = 1.5\text{ pF}$$

- a) **Disegnare in due diagrammi temporali, temporalmente allineati, il segnale di ingresso $V_{in}(t)$ dato e ed il corrispondente segnale $V_{out,1}(t)$, quotandone tutti i punti significativi ed assumendo gli amplificatori operazionali ideali.**
- b) **Determinare il massimo valore della resistenza R_f che garantisca che il contributo delle correnti di bias, pari a 100 nA , sulla tensione di uscita $V_{out,2}$ sia al più 6 mV .**
- c) Tracciare i diagrammi di Bode del modulo e della fase della funzione di trasferimento $V_{out,2}/V_{out,1}$, assumendo gli amplificatori operazionali ideali.
- d) Se l'amplificatore operazionale 2 è caratterizzato da uno Slew-Rate $SR = 100\text{ V}/\mu\text{s}$, determinare se la forma d'onda di uscita subisca o meno distorsioni e motivare la risposta.
- e) Determinare il margine di fase del blocco amplificatore se il prodotto guadagno-larghezza di banda del secondo amplificatore operazionale è pari a $GBWP = 80\text{ MHz}$.

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2022/23

Terzo Appello– 23 gennaio 2024

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Terzo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a MOSFET riportato nella Fig. 1, in cui i_{in} è un generatore di corrente di piccolo segnale. Si assuma l'amplificatore operazionale ideale.

- a) **Determinare il minimo valore di V_b necessario per il corretto funzionamento dello specchio di corrente nonché la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami).**
- b) **Determinare l'espressione del trasferimento V_{out}/i_{in} a bassa frequenza.**
- c) Tracciare il diagramma di Bode del modulo del guadagno di corrente di piccolo segnale i_{out}/i_{in} , quotandone tutti i punti significativi,
- d) Determinare il minimo numero di quadri necessario per la resistenza R_{bias} , assumendo di disporre, per la realizzazione delle resistenze di un processo di impiantazione di Boro con dose $D = 1 \times 10^{13} \text{ cm}^{-2}$ oppure di un processo di impiantazione di Arsenico con dose $D = 8 \times 10^{12} \text{ cm}^{-2}$.

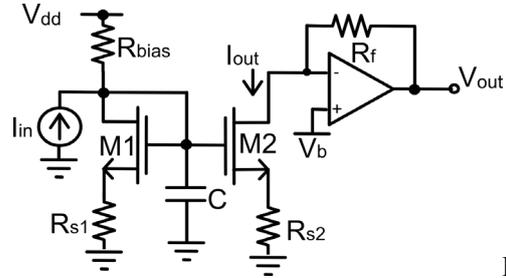


Fig. 1

$$\begin{aligned}
 V_{dd} &= +4.5 \text{ V} & V_{Tn} &= 1 \text{ V} & \frac{1}{2}\mu_n C_{ox} &= 100 \mu\text{A}/\text{V}^2 \\
 (W/L)_{n1} &= 5 & (W/L)_{n2} &= 10 \\
 r_0 &= \infty & R_{bias} &= 4 \text{ k}\Omega & R_{s1} &= 1 \text{ k}\Omega \\
 R_{s2} &= 500 \Omega & C &= 41 \text{ pF} & R_f &= 700 \Omega \\
 \mu_n &= 1350 \text{ cm}^2/(\text{Vs}) & \mu_p &= 430 \text{ cm}^2/(\text{Vs})
 \end{aligned}$$

Esercizio 2

Si consideri la catena di acquisizione mostrata in Fig. 2. Gli amplificatori operazionali saturano alle tensioni di alimentazione. L'ADC sia del tipo a doppia rampa.

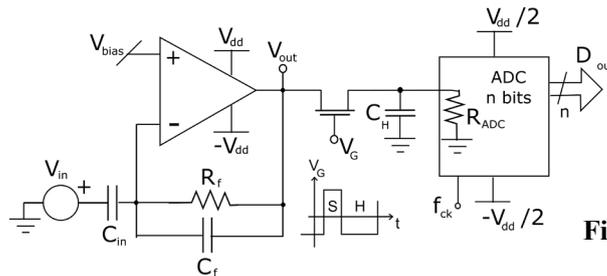


Fig. 2

$$\begin{aligned}
 V_{dd} &= +5 \text{ V} \\
 V_{Tn} &= 1 \text{ V} \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 10 \text{ mA}/\text{V}^2 \\
 C_{in} &= 8 \text{ pF} \\
 C_f &= 2 \text{ pF} \\
 R_f &= 280 \text{ k}\Omega \\
 C_H &= 470 \text{ pF}
 \end{aligned}$$

- a) **Tracciare l'andamento temporale della tensione di uscita $v_{out}(t)$, quotandone tutti i punti significativi, nelle ipotesi di amplificatore operazionale ideale e assumendo un segnale di ingresso a gradino positivo di ampiezza $A = 90 \text{ mV}$.**
- b) **Determinare il valore di V_{bias} ed il numero di bit n dell'ADC richiesti per garantire una risoluzione di $100 \mu\text{V}$ per un segnale di ingresso in grado di fornire alla uscita V_{out} un segnale di ampiezza $0.9 \times V_{dd}$.**
- c) Determinare il margine di fase dello stadio amplificatore se l'amplificatore operazionale è caratterizzato da un prodotto guadagno-larghezza di banda, $GBWP = 30 \text{ MHz}$ (A_0 non è noto separatamente).
- d) Assumendo ora un segnale di ingresso sinusoidale di massima ampiezza compatibile con il funzionamento del circuito e frequenza 10 kHz e la relativa V_{bias} necessaria, determinare la minima frequenza di clock richiesta per la corretta conversione, se l'ADC presenta una resistenza di ingresso $R_{ADC} = 50 \text{ M}\Omega$ e $n = 12 \text{ bits}$.

Esercizio 3

Si consideri il circuito logico mostrato in Fig. 3.

- a) **Tracciare il grafico di $Y(t)$ quotandone tutti i punti significativi e calcolare il tempo complessivo necessario perché l'uscita raggiunga il valore di $V_{dd}/2$ se A e B commutano istantaneamente da 11 a 00, assumendo un ritardo di propagazione delle porte AND e OR di 8 ns .**
- b) Calcolare la potenza statica e dinamica dissipata nel caso in cui A e B siano cortocircuitati tra loro e pilotati da una onda quadra con $f = 2 \text{ MHz}$ e duty cycle 20%.

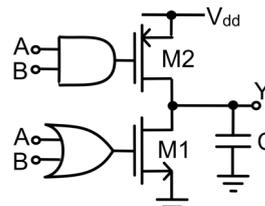


Fig. 3

$$\begin{aligned}
 V_{dd} &= +3.3 \text{ V} \\
 V_{Tn} &= |V_{Tp}| = 1 \text{ V} \\
 k_n &= \frac{1}{2}\mu_n C_{ox}(W/L)_n = 200 \mu\text{A}/\text{V}^2 \\
 k_p &= -\frac{1}{2}\mu_p C_{ox}(W/L)_p = 2 \mu\text{A}/\text{V}^2 \\
 C &= 1 \text{ pF}
 \end{aligned}$$