

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2021/22

Terzo Appello – 17 gennaio 2023

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona, data, “Terzo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perché ritenuti più facili. La durata della prova è 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a MOSFET riportato nella Fig. 1, in cui i_{in} è un generatore di corrente di piccolo segnale

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), calcolando il valore che deve assumere la resistenza R_s per garantire $V_{out} = 0 V$.**
- b) **Determinare l'espressione ed il valore del trasferimento di piccolo segnale v_{out}/i_{in} a bassa frequenza, assumendo che il transistor sia caratterizzato da una resistenza di uscita, $r_0 = \infty$.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento di piccolo segnale v_{out}/i_{in} , quotandone tutti i punti significativi, assumendo che il transistor *pMOS* sia caratterizzato da una resistenza di uscita, $r_0 = \infty$.
- d) Nelle ipotesi di disporre, per la realizzazione delle resistenze di un processo di impiantazione di Boro con dose $D = 1 \times 10^{13} \text{ cm}^{-2}$, determinare il numero di quadri necessario per la resistenza R_d .

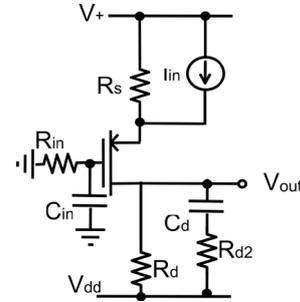


Fig. 1

$$\begin{aligned}
 V_{dd} &= -6 V & V_+ &= +4 V \\
 C_d &= 220 \text{ nF} & C_{in} &= 10 \mu\text{F} \\
 R_d &= 6 \text{ k}\Omega & R_{d2} &= 12 \text{ k}\Omega \\
 R_{in} &= 100 \text{ k}\Omega & |V_{Tp}| &= 1 V \\
 \mu_n &= 1200 \text{ cm}^2/(\text{Vs}) & \mu_p &= 450 \text{ cm}^2/(\text{Vs}) \\
 |k_p| &= \frac{1}{2} \mu_p C_{ox} (W/L)_p = 1 \text{ mA/V}^2
 \end{aligned}$$

Esercizio 2

Si consideri la catena di acquisizione mostrata nella Fig. 2. L'amplificatore operazionale satura alle tensioni di alimentazione. V_{in} sia un generatore di tensione di segnale ad onda quadra, con ampiezza massima $A = 200 \text{ mV}$, duty cycle 50%, valor medio pari ad $A/2$ e periodo $T = 100 \text{ ms}$. L'ADC sia del tipo a doppia rampa $n = 12 \text{ bits}$ e frequenza di clock $f_{ck} = 20 \text{ MHz}$.

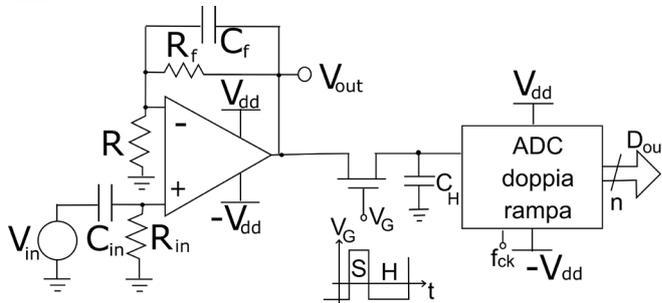


Fig. 2

$$\begin{aligned}
 V_{Tn} &= +1 V \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L)_n = 2.5 \text{ mA/V}^2 \\
 R &= 2.2 \text{ k}\Omega & R_f &= 47 \text{ k}\Omega \\
 R_{in} &= 100 \text{ k}\Omega \\
 C_f &= 2 \text{ pF} & C_{in} &= 47 \text{ nF} \\
 C_H &= 4 \text{ nF} \\
 V_{dd} &= 6 V \\
 f_{ck} &= 20 \text{ MHz} & n &= 12 \text{ bits}
 \end{aligned}$$

- a) **Tracciare il diagramma di Bode del modulo del trasferimento ideale V_{out}/V_{in} , quotandone tutti i punti significativi.**
- b) **Assumendo una durata della fase di *Sample* pari a $2 \mu\text{s}$, una tensione V_G in fase di *Sample* pari a $+9V$ ed una tensione V_G in fase di *Hold* pari a $-9V$, determinare l'errore massimo commesso, espresso in unita' di *LSB*. Si trascuri la presenza di C_f .**
- c) Determinare il margine di fase dello stadio amplificatore se l'amplificatore operazionale è caratterizzato da un prodotto guadagno-larghezza di banda, $GBWP = 20 \text{ MHz}$ (A_0 non è noto separatamente).
- d) Determinare il massimo valore che può assumere la corrente di bias dell'amplificatore operazionale, per consentire sempre il corretto funzionamento della catena di acquisizione.

Esercizio 3

Si consideri la porta logica in tecnologia CMOS mostrata in Fig. 3 che svolge la funzione logica $Y = (\overline{A \cdot B} + \overline{C}) \cdot (A + D)$.

- a) **Disegnare le reti di *pull-up* e di *pull-down* della porta logica complessa in tecnologia CMOS e in forma minima che svolga tale funzione logica. Si giustificino le scelte effettuate.**
- b) Determinare la massima potenza dissipabile dalla porta assumendo che tutti gli ingressi siano cortocircuitati tra loro e pilotati da un opportuno clock.

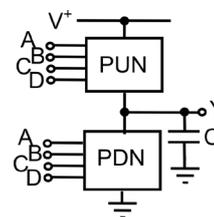


Fig. 3

$$\begin{aligned}
 V^+ &= 1.2 V \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L)_n = 95 \mu\text{A/V}^2 \\
 |k_p| &= \frac{1}{2} \mu_p C_{ox} (W/L)_p = 38 \mu\text{A/V}^2 \\
 |V_{Tp}| &= V_{Tn} = 0.65 V \\
 C &= 2 \text{ pF}
 \end{aligned}$$