

Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2020/21

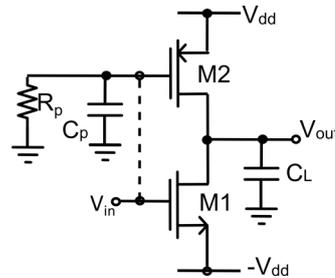
Secondo Appello– 11 settembre 2021

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona. data, “Secondo Appello”, numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile e con la penna
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perche' ritenuti piu' facili. La durata della prova e' 2.5 ore.
6. Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.

Esercizio 1

Si consideri il circuito a transistori riportato nella Fig. 1, in cui il generatore v_{in} e' un generatore di tensione di piccolo segnale, a meno di diversa specificazione. Si trascuri la linea tratteggiata tranne che nel punto d).

- a) **Determinare la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami), indicando l'intervallo di tensioni possibili per il nodo di uscita V_{out} .**
- b) **Determinare l'espressione ed il valore del trasferimento v_{out}/v_{in} a bassa frequenza, nelle ipotesi che entrambi i transistori siano caratterizzati da una resistenza di uscita $r_0 = 70 \text{ k}\Omega$.**
- c) Tracciare il diagramma di Bode del modulo del trasferimento V_{out}/V_{in} , quotandone tutti i punti significativi, nelle ipotesi che entrambi i transistori siano caratterizzati da una resistenza di uscita $r_0 = 70 \text{ k}\Omega$.
- d) Nelle ipotesi di cortocircuitare i *gate* dei due transistori, con un collegamento come da linea tratteggiata in figura 1, se V_{in} effettua una transizione istantanea da $-V_{dd}$ a V_{dd} , determinare il tempo necessario perche' la tensione di uscita raggiunga il valore di $+1.4 \text{ V}$.



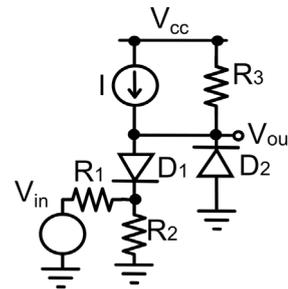
$$\begin{aligned}
 V_{dd} &= +2.4 \text{ V} \\
 V_{Tn} &= |V_{Tp}| = 1 \text{ V} \\
 \frac{1}{2} \mu_n C_{ox} &= 0.49 \text{ mA/V}^2 \\
 \frac{1}{2} \mu_p C_{ox} &= 0.196 \text{ mA/V}^2 \\
 (W/L)_n &= 4 \\
 (W/L)_p &= 10 \\
 R_p &= 100 \text{ k}\Omega \\
 C_p &= 470 \text{ nF} \\
 C_L &= 22 \text{ pF}
 \end{aligned}$$

Fig. 1

Esercizio 2

Si consideri il circuito contenente due diodi, mostrato nella Fig. 2. I diodi siano caratterizzati da una tensione di accensione pari a 0.7 V . Il solo diodo D_2 presenti una tensione di breakdown $|V_{BD}| = 8 \text{ V}$. I sia un generatore di corrente DC che eroga una corrente pari a 2 mA .

- a) **Tracciare la caratteristica di trasferimento statica V_{out} vs. V_{in} , indicando chiaramente i punti di scatto e le pendenze dei tratti e giustificando la risposta, se V_{in} varia nell'intervallo $[-10 \text{ V}, +10 \text{ V}]$.**
- b) Determinare la massima potenza dissipata dal diodo D_2 .

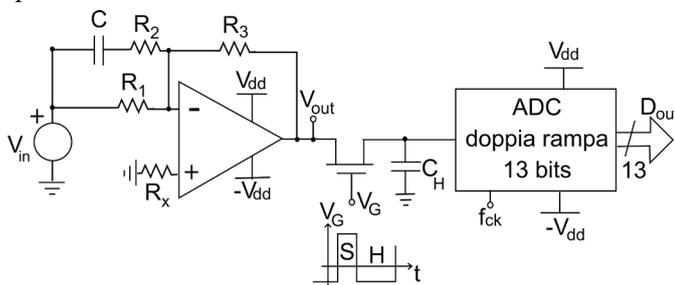


$$\begin{aligned}
 V_{cc} &= +5 \text{ V} \\
 R_1 &= 1 \text{ k}\Omega \\
 R_2 &= 2 \text{ k}\Omega \\
 R_3 &= 2 \text{ k}\Omega
 \end{aligned}$$

Fig. 2

Esercizio 3

Si consideri la catena di acquisizione riportata nella Fig. 3. Gli amplificatori operazionali saturano alle tensioni di alimentazione. V_{in} sia un generatore di segnale. Il convertitore analogico digitale sia del tipo a doppia rampa con un numero n di bits pari a 13.



$$\begin{aligned}
 R_1 &= 2 \text{ k}\Omega \\
 R_2 &= 0.2 \text{ k}\Omega \\
 R_3 &= 20 \text{ k}\Omega \\
 V_{dd} &= 6 \text{ V} \\
 C_H &= 22 \text{ nF} \\
 V_{Tn} &= 1 \text{ V} \\
 k_n &= \frac{1}{2} \mu_n C_{ox} (W/L)_n \\
 &= 14 \text{ mA/V}^2 \\
 n &= 13 \text{ bits}
 \end{aligned}$$

Fig. 3

- a) **Determinare il trasferimento a bassa frequenza V_{out}/V_{in} se l'amplificatore operazionale e' caratterizzato da un guadagno ad anello aperto $A_0 = 58 \text{ dB}$.**
- b) **Disegnare, quotandone tutti i punti significativi, l'andamento nel tempo della tensione di uscita $v_{out}(t)$ del blocco amplificatore, assumendo l'amplificatore operazionale ideale, in risposta a un segnale a gradino positivo di ampiezza pari a 40 mV .**
- c) Determinare il minimo valore della frequenza di *clock* dell'ADC per garantire che l'errore dovuto alla scarica della capacita', nelle ipotesi che il transistoro che realizza l'interruttore del circuito di *Sample & Hold* presenti una resistenza nella fase di *off* pari a $R_{ds,off} = 75 \text{ M}\Omega$ sia minore di $\frac{1}{2} \text{ LSB}$. Si assuma il minimo tempo di *Hold* compatibile con l'ADC a doppia rampa che segue.
- d) Determinare il margine di fase del blocco amplificatore, se l'amplificatore operazionale e' caratterizzato da un prodotto guadagno/larghezza di banda $GBWP$ pari a 60 MHz (A_0 non e' noto separatamente).