

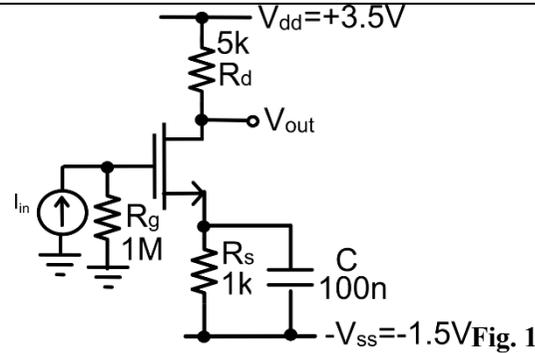
Fondamenti di Elettronica - Ingegneria Elettronica – a.a. 2019/20
Terzo Appello – 2 settembre 2020 - in tempo di pandemia - modalita' a distanza

1. Riportare sulla prima pagina del foglio protocollo nome, cognome, numero di matricola, cod. persona. data, "Terzo Appello", numero totale di fogli consegnati.
2. Numerare tutti i fogli e riportare su ciascuno almeno nome, cognome, numero di matricola, cod. persona.
3. Scrivere con grafia leggibile
4. Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a)...
5. Risolvere per primi i punti in grassetto, perche' ritenuti piu' facili. La durata della prova e' 2.5 ore.
6. **Non sono ammessi libri o appunti o altro materiale, eccetto la calcolatrice.**



Esercizio 1

- a) polarizzazione
- b) trasferimento v_{out}/i_s , a bassa frequenza
- c) diagramma di Bode del modulo $|v_{out}/i_s|$
- d) massima componente DC di I_{in} , se R_s e' sostituita da un generatore di corrente DC che eroga la corrente di polarizzazione calcolata in a).



$$V_{dd} = +3.5V \quad -V_{ss} = -1.5V$$

$$I_{in} = 1\mu A + i_s$$

$$k_n = \frac{1}{2}\mu_n C_{ox}(W/L) = 0.5 \text{ mA/V}^2$$

$$V_{Tn} = 1V$$

$$R_d = 5 \text{ k}\Omega$$

$$R_s = 1 \text{ k}\Omega$$

$$R_g = 1 \text{ M}\Omega$$

$$C = 100 \text{ nF}$$

Esercizio 2

- a) disegnare la porta logica in tecnologia CMOS che realizza in forma minima la funzione logica $Y = \overline{A \cdot B} + \overline{C + B}$
- b) diagramma temporale quotato di V_{out} e Y se A, B e C sono quelli di Fig. 2b.

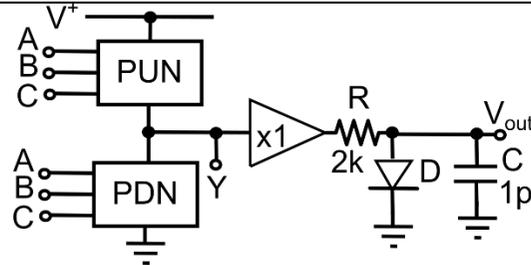


Fig. 2a

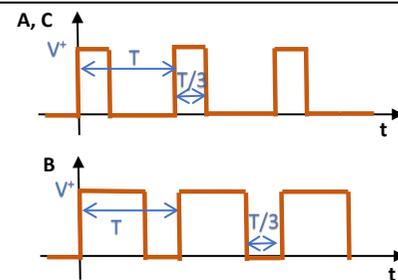


Fig. 2b

$$V^+ = 2.9V$$

$$|k_p| = k_n = \frac{1}{2}\mu C_{ox}(W/L) = 0.1 \text{ mA/V}^2$$

$$C = 1 \text{ pF}$$

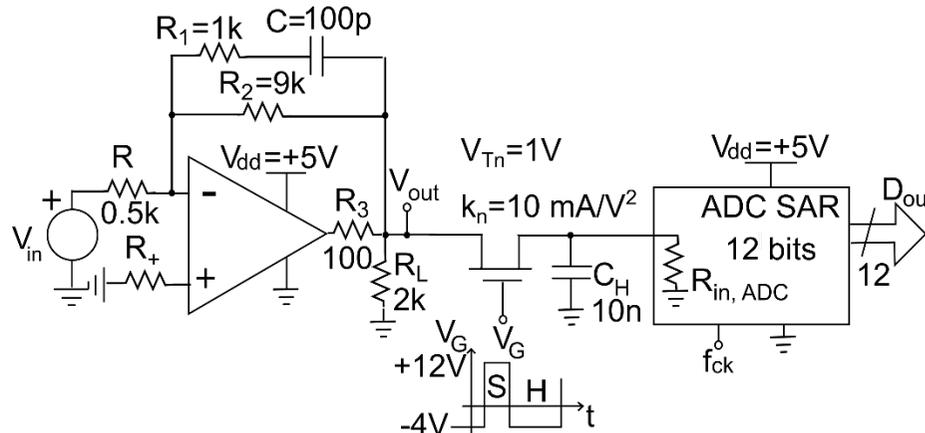
$$V_{Tn} = |V_{Tp}| = 0.9V$$

$$R = 2 \text{ k}\Omega$$

$$T = 600 \text{ ns}$$

Esercizio 3

- a) diagramma di Bode del modulo del trasferimento ideale V_{out}/V_{in}
- b) minimo valore della R_{in} dell'ADC per non causare ulteriori errori di conversione
- c) massima ampiezza del disturbo (supposto a bassissima frequenza) su V_{dd} , se $PSRR = 50 \text{ dB}$ per non causare ulteriori errori di conversione
- d) margine di fase del circuito amplificante se $GBWP = 50 \text{ MHz}$.



$$V_{dd} = +5V$$

$$k_n = \frac{1}{2}\mu_n C_{ox}(W/L) = 10 \text{ mA/V}^2$$

$$V_{Tn} = 1V$$

$$C_H = 10 \text{ nF} \quad C = 100 \text{ pF}$$

$$R = 0.5 \text{ k}\Omega \quad R_+ = R/R_2$$

$$R_1 = 1 \text{ k}\Omega \quad R_2 = 9 \text{ k}\Omega$$

$$R_3 = 100 \Omega \quad R_L = 2 \text{ k}\Omega$$

$$R_+ = R/R_2$$

$$f_{ck} = 5 \text{ MHz}$$